

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Ильшат Ринатович Мухаметов

Должность: директор

Дата подписания: 14.07.2023 09:36:08

Уникальный программный ключ:

aba80b84033c9ef196388e9ead45419ba63a40954ba276e04856e4f02d1a800

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение высшего  
образования «Казанский национальный исследовательский технический

университет им. А.Н. Туполева-КАИ»  
(КНИТУ-КАИ)

Чистопольский филиал «Восток»

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ЛАБОРАТОРНЫМ РАБОТАМ**  
по дисциплине  
**ПРОЕКТИРОВАНИЕ АВТОМАТИЗИРОВАННЫХ  
ИНФОРМАЦИОННЫХ СИСТЕМ**

Индекс по учебному плану: **Б1.В.ДВ.04.02**

Направление подготовки: **09.03.01 Информатика и вычислительная техника**

Квалификация: **Бакалавр**

Профиль подготовки: **Автоматизированные системы обработки информации и  
управления**

Типы задач профессиональной деятельности: **производственно-технологический,  
проектный**

Рекомендовано УМК ЧФ КНИТУ-КАИ

Чистополь  
2023 г.

# МАРШРУТ ПРОЕКТИРОВАНИЯ

## Схема маршрута проектирования и главное окно САПР

Выполнение лабораторных работ по проектированию цифровых устройств на основе САПР предусматривает изучение основных этапов проектирования (рис. 2.1) (маршрута автоматизированного проектирования) цифровых схем на ПЛИС - создание проекта, моделирование, трассировка и верификация (этап создания файла конфигурации в данном пособии не рассматривается).

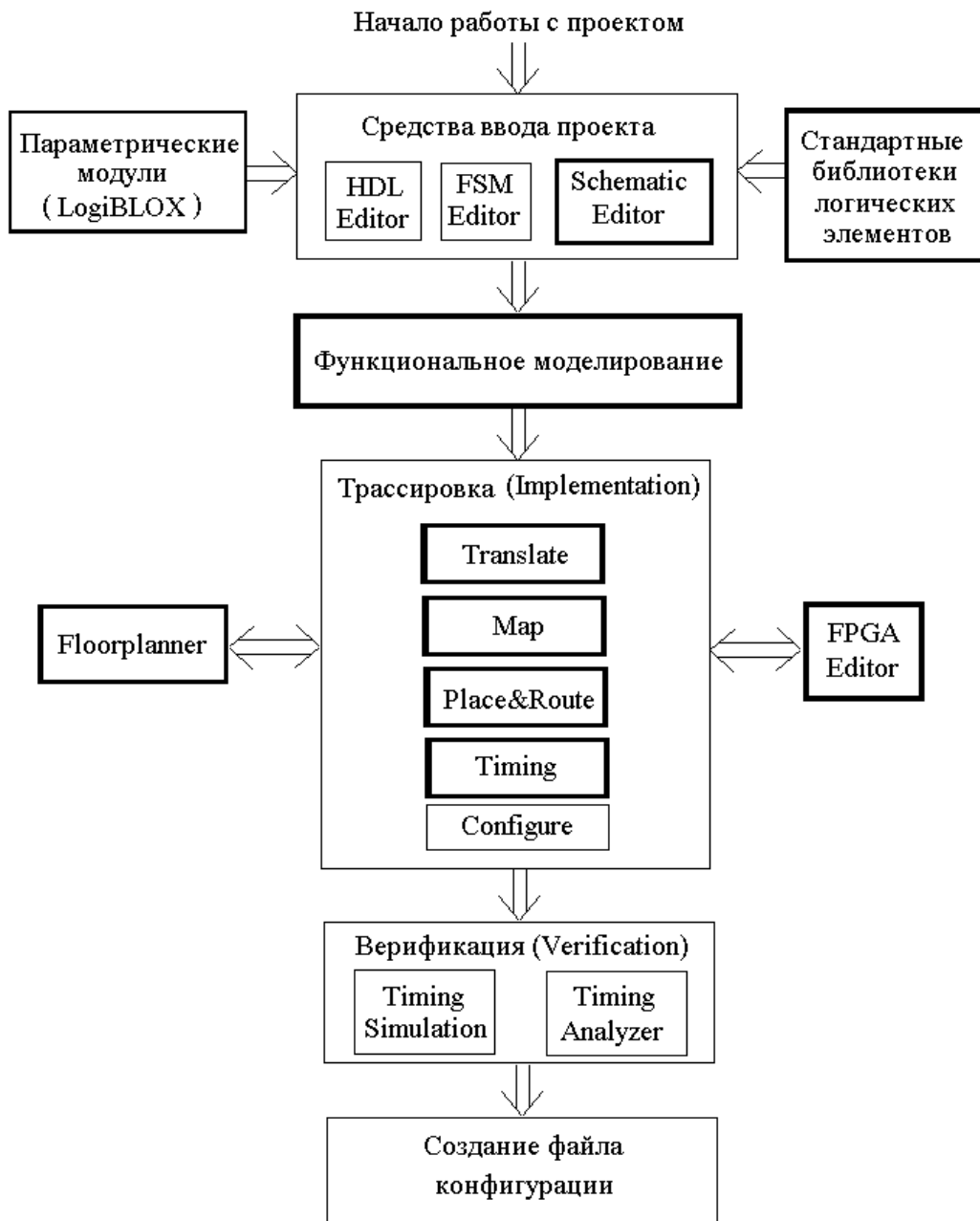


Рис. 1. Схема маршрута проектирования

Изучение методики проектирования производится на примере технологии использования системы автоматизированного проектирования ПЛИС Xilinx Foundation Series 3.1.i, далее Системы.

Под проектом в Системе понимается совокупность файлов, содержащих следующую информацию: описание принципиальной схемы цифрового устройства, описание библиотечных элементов и параметрических модулей, размещение логических элементов на кристалле и связи между ними, временные параметры цифрового устройства, временные и топологические ограничения, отчеты о результатах размещения, трассировки и оптимизации, загрузочные файлы и др. Файлы размещаются в специальном каталоге, имя которого совпадает с именем проекта. Кроме того, имеется специальный файл *имя\_проекта.pdf*, содержащий информацию о расположении проекта на диске, типе используемого кристалла ПЛИС, стандартных библиотеках и тд.

Система проектирования автоматически создаст необходимые каталоги и файлы, установит связи со стандартными библиотеками логических элементов и откроет окно *Project Manager* - главное окно Системы (см. Рис. 1.2) – программы управления проектами (создание нового проекта, ввод и редактирование исходных описаний цифровых устройств, трансляция, моделирование, загрузка конфигурации, управление библиотеками элементов). В поле Flow данного окна представлено меню программы.

После загрузки программы управления проектами (*Project Manager*) система проектирования готова к вводу описания цифрового устройства.

### **Методика работы в САПР**

Описание методики работы пользователя с Системой при проектировании цифровых схем.

Рассмотрение работы с Системой представлено следующими 4 этапами:

- 1) создание и редактирование проекта;
- 2) логическое моделирование;

- 3) трассировка;
- 4) верификация;

Этапы работы с Системой, а также программные средства для реализации указанных этапов (входящие в состав Системы) приведены в таблице 2.1.

Таблица 2.1.

Этап	Программные средства
Создание и редактирование проекта	Project Manager. Схемотехнический редактор (Schematic Editor)
Логическое моделирование	Foundation Logic Simulator
Трассировка	Foundation Flow Engine
Верификация	Временное моделирование (Foundation Timing Simulator). Временной анализ (Timing Analyzer)

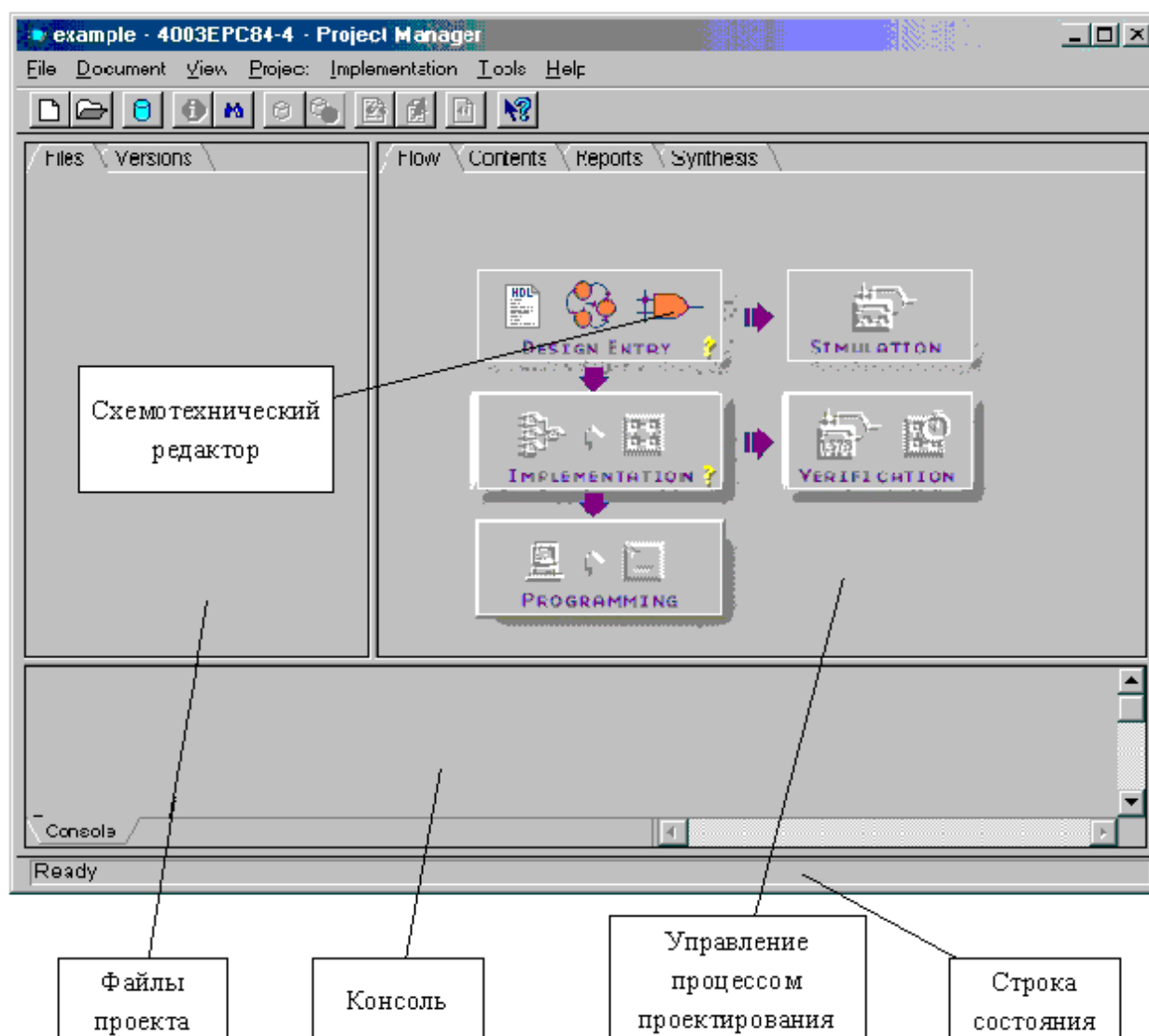


Рис. 2.2. Окно *Project Manager* - главное окно Системы.

Первый этап работы с Системой - **работа по построению проекта** (создание и редактирование проекта). Создание проекта осуществляется непосредственно при запуске **Project Manager** - главного окна Системы (порядок запуска см. п. 3.1 части 3). Редактирование производится посредством одного (или нескольких) редакторов:

- редактора HDL-кода (HDL Editor), позволяющего в текстовом режиме осуществить ввод проекта на HDL;
- редактора диаграмм состояний (State Editor): в ходе работы с данным редактором осуществляется ввод проекта в алгоритмической форме в виде диаграмм состояний и соответствующих переходов между ними;
- **схемотехнического редактора (Schematic Editor)**, позволяющего на основе библиотечных элементов ввести принципиальную схему устройства в интерактивном режиме.

Ввод и редактирование схемы проектируемого устройства (проекта) в рамках данной работы осуществляется посредством **схемотехнического редактора**. Работа с проектом осуществляется под управлением **Project Manager**, поэтому **схемотехнический редактор** вызывается посредством соответствующей пиктограммы (рис. 2.2).

Второй этап, **логическое моделирование**, позволяет проверить корректность логики работы проектируемого устройства. Проверка производится при использовании программы **Foundation Logic Simulator**, которая вызывается посредством пиктограммы из поля «**Simulation**» на рис. 2.3.

Третий этап - **трассировка (Implementation)**, заключается в преобразовании выходного формата схемотехнического редактора Schematic Editor в формат описания внутренней структуры ПЛИС. Данная операция вызывается путем активизации соответствующей пиктограммы (рис. 2.3). Указанная операция осуществляется посредством программы **Foundation Flow Engine**, которая выполняет следующие этапы (шаги):

- трансляция (translation),
- перевод (map) проекта в базис ПЛИС,

- размещение и трассировка (place & route),
- распределение временных задержек (timing),
- конфигурация (configure).

Данные шаги более детально будут рассмотрены в разделах 2.4 и 3.1.

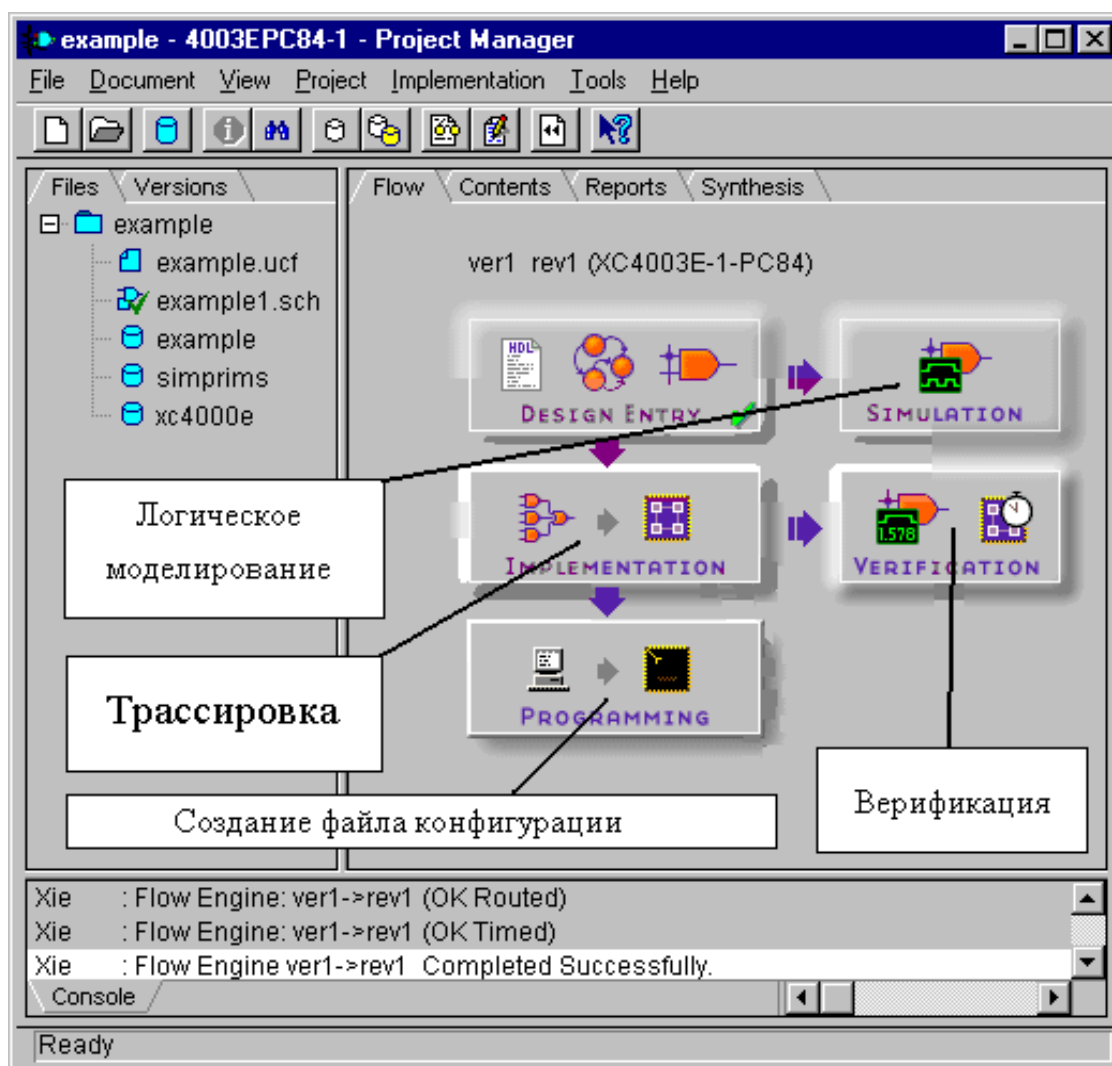


Рис. 2.3. Главное окно Системы.

Четвертый этап - **верификация**. На данном этапе выполняется временной анализ (определение задержек в контрольных точках схемы) и временное моделирование проекта, с учетом временных задержек внутри кристалла ПЛИС. Временное моделирование с учетом оценок задержек внутри ПЛИС (для каждой из версий проекта) производится посредством *Foundation Timing Simulator*. Данная программа вызывается при активизации поля «*Verification*» (рис. 2.3).

Отметим также, что реализация проекта на основе ПЛИС осуществляется путем создания файла конфигурации [6], с последующей его загрузкой в кристалл ПЛИС. Для этого необходимо активизировать поле «*Programming*» (рис. 2.3).

Таким образом, Система включает в себя:

- 1) средства ввода и моделирования;
- 2) средства трассировки и верификации.

К 1), в частности, относятся *Schematic Editor* и *Foundation Logic Simulator* (см. выше), которые используются при вводе и редактировании проекта, а также при логическом моделировании.

К 2) относятся такие средства, как трассировщик *Foundation Flow Engine* (см. выше) и топологические редакторы - *Floorplaner* и *FPGA Editor*.

## Схемотехнический редактор (Schematic Editor)

Построение проектов цифровых схем осуществляется посредством схемотехнического редактора *Schematic Editor*, который позволяет ввести принципиальную схему устройства в интерактивном режиме (рис. 2.4) через главное меню данного редактора. Структура меню приведена на рис. 2.5 а) - б).

Определим опции, используемые в *Schematic Editor* для выполнения поставленных задач и доступные проектировщику (рис. 2.4),

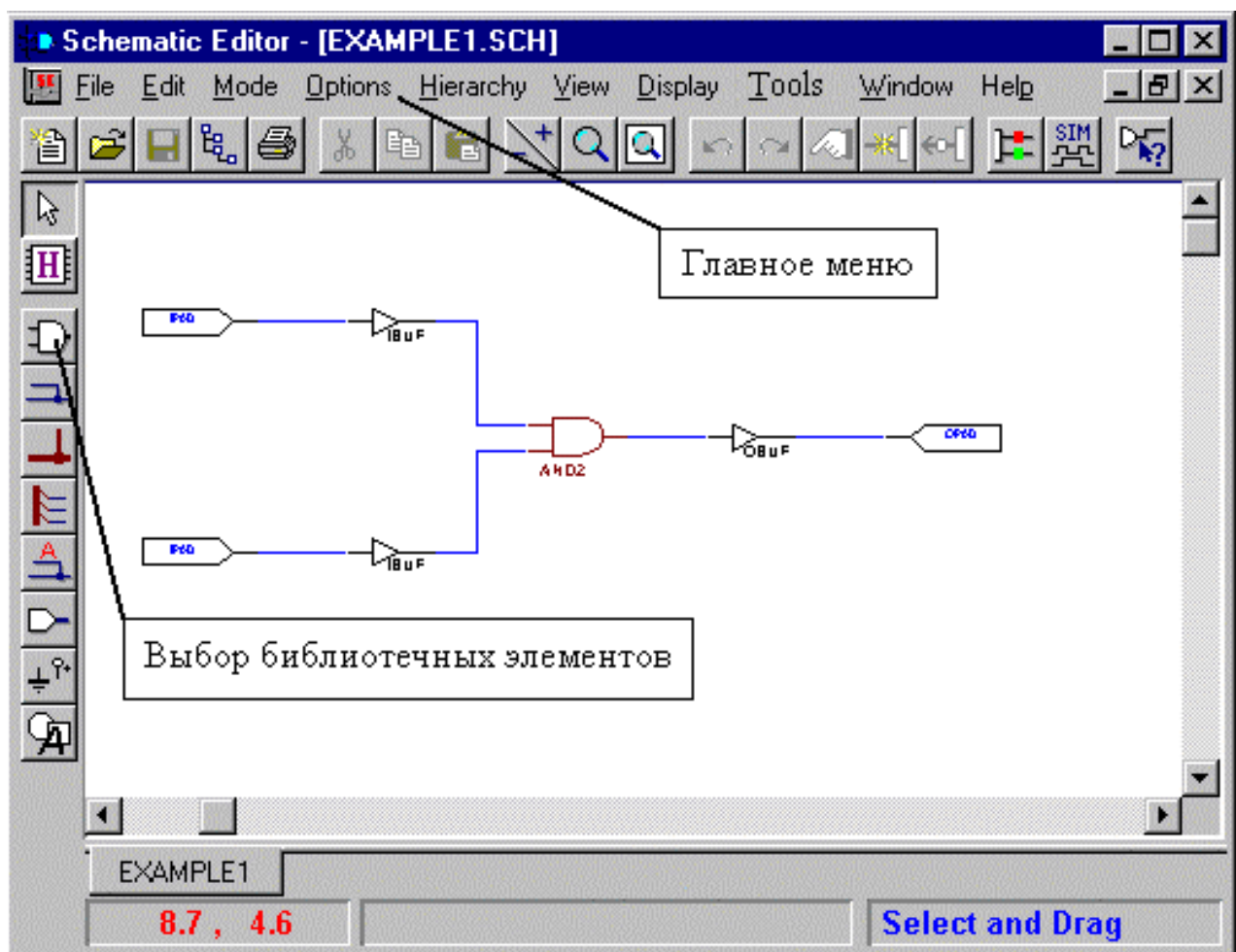


Рис. 2.4. Интерфейс редактора Schematic Editor

File	New Sheet	Edit	Undo	Mode	Select and Drag
	Open		Redo		Symbols
	Open Macro		Copy		Draw Wires
	Close		Paste		Draw Buses
	Save		Cut		...



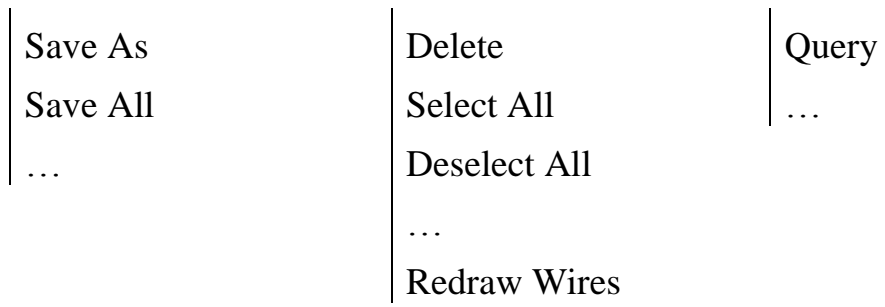


Рис. 2.5 а).

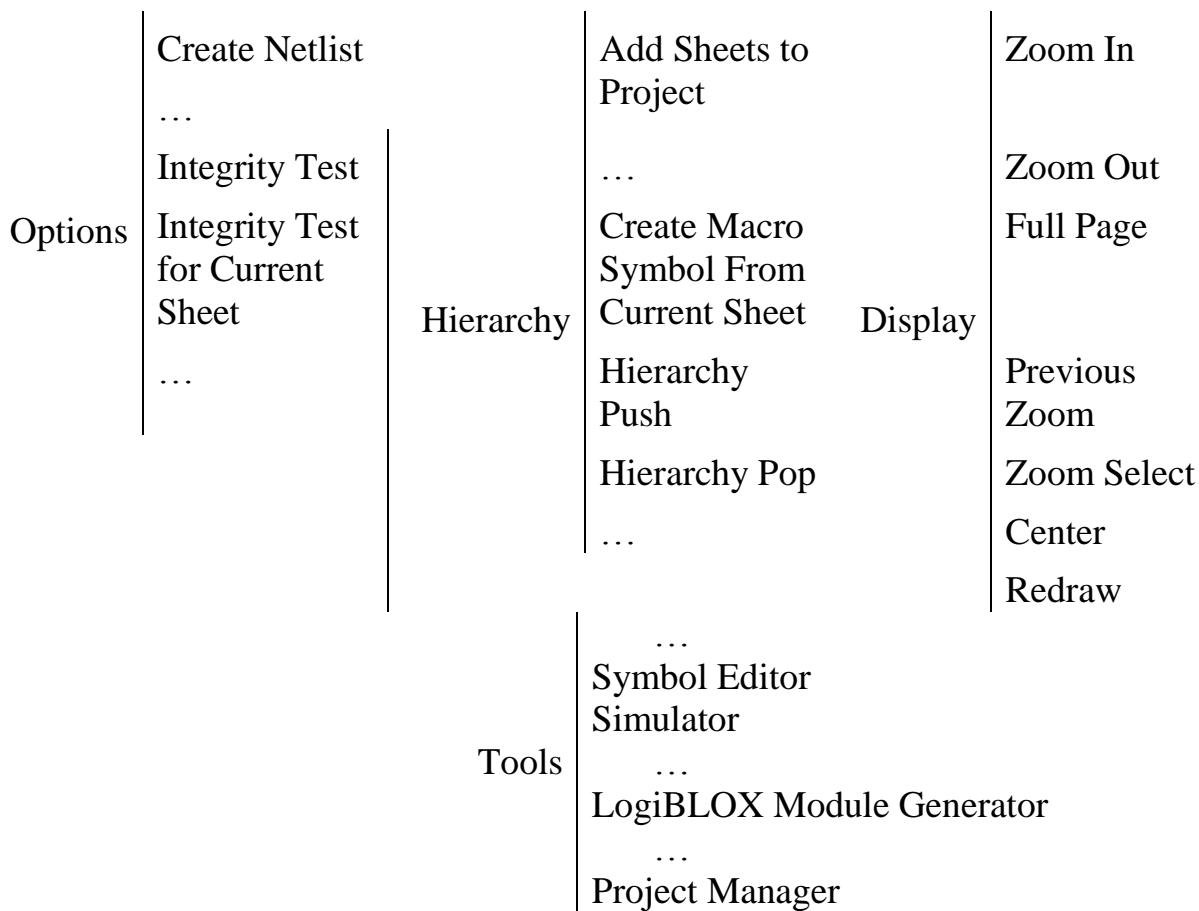


Рис. 2.5 б.

Функции, выполняемые посредством опций, указанных на рис. 2.5а) и 2.5б), приведены в таблицах 2.2 - 2.8.

Пункт главного меню File. Таблица 2.2.

Подпункт меню	Вызываемая функция
New Sheet	Создание нового листа для схемы и включение его в данный проект
Open	Открытие существующего файла проекта
Open Macro	Редактирование собственного библиотечного элемента, созданного посредством Hierarchy/Create Macro Symbol From Current Sheet
Close	Закрытие активного окна проекта
Save	Сохранение листа проекта в активном окне
Save As	Сохранение листа проекта в активном окне под другим именем
Save All	Сохранение всех открытых листов проекта

Кроме того, пункт главного меню File содержит опции, связанные с подготовкой проектируемой схемы к распечатке на бумажном носителе, а также ряд других специфических опций.

Пункт главного меню Edit. Таблица 2.3.

Подпункт меню	Вызываемая функция
Undo	Отмена предыдущего действия
Redo	Отмена команды Undo
Copy	Копировать выделенный фрагмент в буфер обмена
Paste	Вставка выделенного фрагмента из буфера обмена
Cut	Копировать выделенный фрагмент в буфер обмена с их последующим удалением
Delete	Удалить выделенный фрагмент
Select All	Выделить все элементы схемы в Schematic Editor
Deselect All	Отмена выделения всех выделенных элементов схемы
Redraw Wires	Обновление всех активных элементов схемы

Пункт главного меню Mode. Таблица 2.4.

Подпункт меню	Вызываемая функция
Select and Drag	Переключение в режим редактирования проектируемой схемы
Symbols	Активизация меню библиотечных элементов
Draw Wires	Переключение в режим разметки проводников
Draw Buses	Переключение в режим разметки шин
Query	Активизация меню для проверки соединений между элементами проектируемой схемы

Пункт главного меню Options. Таблица 2.5.

Подпункт меню	Вызываемая функция
Create Netlist	Создание файла описания взаимосвязи между элементами проектируемой схемы
Integrity Test	Проверка соединений между элементами проектируемой схемы
Symbol Editor for Current Sheet	Переход в окно редактора внешнего представления для выделенного элемента проектируемой схемы для активного листа

Пункт главного меню Hierarchy. Таблица 2.6.

Подпункт меню	Вызываемая функция
Add Sheets to Project	Позволяет добавить дополнительный лист в редактируемый проект
Create Macro Symbol From Current Sheet	Позволяет создать собственный библиотечный элемент на базе схемы, содержащейся на выделенном (активном) листе
Hierarchy Push	Переход на нижний уровень иерархии с целью редактирования вложенных схем
Hierarchy Pop	Переход на верхний уровень иерархии (функция, обратная Hierarchy Push)

Пункт главного меню View предназначен для задания параметров просмотра проектируемой схемы в окне Schematic Editor.

Пункт главного меню Display. Таблица 2.7.

Подпункт меню	Вызываемая функция
Zoom In	Увеличение масштаба относительно текущей области просмотра проектируемой схемы
Zoom Out	Уменьшение масштаба относительно текущей области просмотра проектируемой схемы
Full Page	Отображение всей области просмотра проектируемой схемы
Previous Zoom	Восстановление предыдущего масштаба области просмотра проектируемой схемы
Zoom Select	Отображение выделенной (посредством применения данной опции) области просмотра проектируемой схемы
Center	Отображение области просмотра проектируемой схемы с центром в указанной (посредством применения данной опции) точке
Redraw	Обновление выделенного (активного) окна Schematic Editor

Пункт главного меню Tools. Таблица 2.8.

Symbol Editor	Переход в окно редактора внешнего представления для выделенного элемента проектируемой схемы
Simulator	Переключение в окно Логического моделирования (п. 2.3)
LogiBLOX Module Generator	Вызов программы генерации параметрических модулей (п. 2.2)
Project Manager	Переключение в главное окно Системы

Опции Window и Help почти идентичны аналогичным опциям в редакторах текстов (Microsoft Word), редакторах электронных таблиц (Microsoft Excel), графических редакторов (Paint) и т. п.

## **Информационное обеспечение схемотехнического редактора САПР**

Информационное обеспечение схемотехнического редактора САПР составляет номенклатуру логических элементов различного уровня (порядка 200 наименований), выполняемых ими функций, а также количество соответствующих программируемых компонент ПЛИС (см. п. 1.1), необходимых для реализации заданных функций.

Назначение информационного обеспечения топологического редактора САПР – реализация информационных потребностей проектировщика и всех программ, включенных в Систему. Основная его функция – ведение информационного фонда, т.е. обеспечение создания, поддержки и организации доступа к данным.

Постоянным хранилищем данных, составляющим основу базы данных информационного обеспечения топологического редактора САПР является библиотека логических элементов различного уровня (далее - *библиотечные элементы*).

Проектировщику предоставляется возможность выбора элементов, необходимых для реализации схемы, из библиотеки. Выбор производится при обращении к пункту *Mode\Symbols* в главном меню (Таблица 2.4), либо путем активизации соответствующей пиктограммы (рис. 2.4).

При активизации пиктограммы на рис. 2.4 в *схемотехническом редакторе*, активизируется меню, представленное на рис. 2.6а (либо 2.6б).

*Библиотечные элементы*, часто используемые при построении проектов в САПР, условно подразделяются на следующие группы [8]:

- 1) комбинационные схемы;

- 2) триггерные схемы;
- 3) регистры, коммутаторы, счетчики, арифметико-логические устройства;
- 4) связь с выводами микросхемы;
- 5) прочие элементы.

При описании номенклатуры библиотечных элементов в скобках вида { } приводятся обязательные параметры в названии библиотечных элементов, а в скобках вида < > - не обязательные.

Группа **комбинационных схем** включают в себя следующие элементы: И(НЕ), ИЛИ(НЕ), НЕ, сумма по модулю 2.

Элемент **И(НЕ)** выполняет функцию конъюнкции (прямую и инверсную) и обозначается в виде

$\langle C \rangle \text{AND} \{ X \} \langle BY \rangle$ , где

X - число входов от 2 до 9,

C: =N, если реализуется инверсная функция конъюнкции;

=W, если реализуется схема с открытым коллектором.

BY: Y - число инверсных входов,  $Y \leq X$ . B - признак наличия инверсных входов.

Пример 1. Инверсная функция конъюнкции на 4 входа, два из которых - инверсные, реализуется посредством библиотечного элемента NAND4B2.

Пример 2. Функция конъюнкции на 8 входов реализована в виде AND8.

Библиотечный элемент **ИЛИ(НЕ)** выполняет функцию дизъюнкции (прямую и инверсную) и обозначается в виде

$\langle C \rangle \text{OR} \{ X \} \langle BY \rangle$ , где обозначения X и BY - те же, что и для И(НЕ);

C = N, если реализуется инверсная функция дизъюнкции.

Что касается схемы с открытым коллектором, то для ее реализации существует лишь один элемент - WOR2AND.

Пример 3. Инверсная функция дизъюнкции на 5 входа, два из которых - инверсные, реализуется посредством библиотечного элемента NOR5B2 (рис. 2.6а).

Пример 4. Функция конъюнкции на 2 входа реализована в виде AND2 (рис. 2.6б).

*Элемент*, выполняющий функцию *инверсии*, представлен в виде  $INV\{X\}$ , где  $X$  - число инвертируемых входов.

Библиотечный *элемент*, реализующий функцию «сумма по модулю 2», обозначается как

$X\{C\}OR\{X\}$ , где обозначения  $X$  и  $C$  - те же, что и для функции ИЛИ(НЕ).

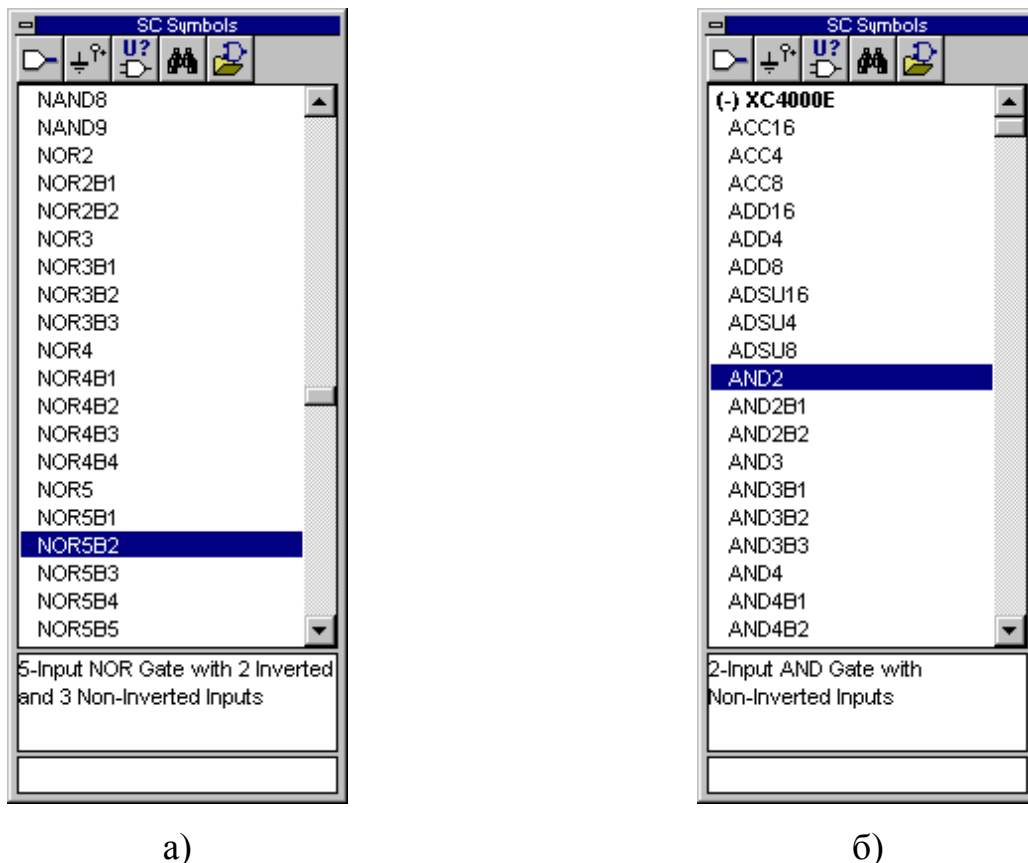


Рис. 2.6. Добавление стандартного библиотечного элемента.

Пример 5. Функция суммы по модулю 2 для 5-ти входов реализована в виде библиотечного элемента XOR5.

Пример 6. Инверсная функция суммы по модулю 2 на 3 входа реализована в посредством элемента XNOR3.

Группа *триггерных схем* имеет общее обозначение вида

$F\{C\}\{Опции\}$ , где

- С: = D, если реализуется D-триггер;
- = T, если реализуется T-триггер;
- = JK, если реализуется JK-триггер.

Опции, которые наиболее часто используются при обозначении библиотечных элементов данной группы, следующие:

- \_1 - инверсная синхронизация;
- E - разрешение синхронизации;
- S - возможность установки по синхросигналу;
- R - возможность сброса по синхросигналу.

Пример 7. D-триггер с возможностью сброса и установки по синхросигналу, а также с разрешением синхронизации, имеет обозначение - FDRSE (рис. 2.7).

Рассмотрим детально группу **«регистры, коммутаторы, счетчики, арифметико-логические устройства»**.

**Регистры** имеют следующее обозначение: RD{X} {Опции}, где X - число разрядов регистра, принимающее значение 4, 8 и 16.

Опции для выбора типа регистра, следующие:

- C - возможность асинхронного сброса;
- R - возможность асинхронной установки;
- E - разрешение синхронизации.

Пример 8. Регистр на 8 разрядов с возможностью асинхронного сброса имеет обозначение RD8C.

**Регистры сдвига** обозначаются как SR{X} {Опции}, для которых X принимает те же значения, что и для обычного регистра;

{Опции}, помимо тех, что используются для обычного регистра, имеют вид:

- L - параллельная загрузка данных в регистр,
- D - возможность управления сдвигом информации в регистре.

Пример 9. Регистр сдвига на 16 разрядов с возможностью параллельной загрузки, возможностью асинхронного сброса и разрешением синхронизации обозначается как SR16CLE (рис. 2.8).

Множество **«коммутаторы»** включает в себя **мультиплексоры** и **дешифраторы**.

**Мультиплексоры** имеют следующее обозначение:

M{X}\_1<BY><E>, где X - число входов, равное 2, 4, 8 и 16;



ВУ: В - признак инверсии, У - число инверсных входов,  $Y \leq X$ ;

Е - мультиплексор со входом разрешения.

Пример 10. Мультиплексор на 4 входа, имеющий также вход разрешения, обозначается М4Е.

**Дешифраторы**, реализованные на микросхемах, выполненных по КМОП-технологии, выполняют также функцию демultipлексирования логических сигналов. Они имеют обозначение D{X}Е, где X принимает значения 2\_4, 3\_8 и 4\_16.

Пример 11. Дешифратор, на вход которого подаются 4, а со входа снимаются 16 сигналов, обозначается как D4\_16Е.

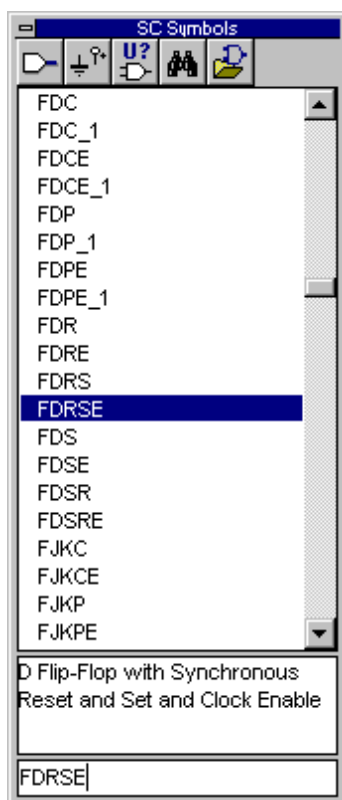


Рис. 2.7.

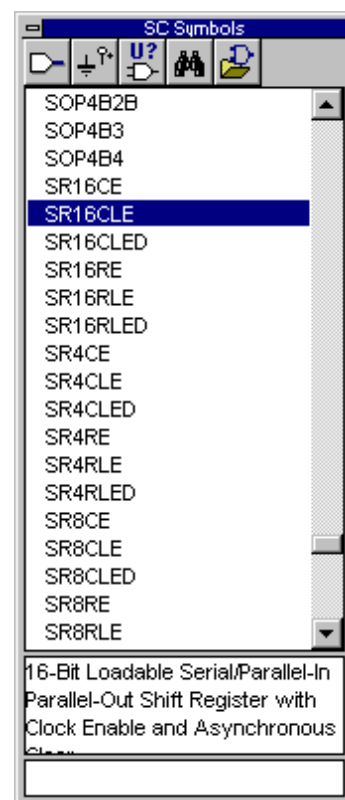


Рис. 2.8.

**Счетчики** обозначаются как  $C\{C\}\{X\}\{Опции\}$ , где  $X$  и  $\{Опции\}$  имеют те же значения, что и для регистров сдвига, а  $C$  - тип счетчика. Наиболее часто используются следующие типы счетчиков.

$C:$     =  $B$  - двоичный счетчик;  
          =  $D$  - двоично-десятичный счетчик.

Пример 12. Двоичный счетчик, имеющий 8 разрядов с возможностью параллельной загрузки в регистр, обозначается как  $CB8L$ .

**Арифметико-логические устройства** делятся на **сумматоры**, **аккумуляторы** (сумматоры с возможностью запоминания результата), **сумматоры-вычитатели** и **компараторы**, которые обозначаются, соответственно, как

$ADD\{X\}$ ,  $ACC\{X\}$ ,  $ADSU\{X\}$  и  $COMP\langle C\rangle\{X\}$ .

$X$  - число двоичных разрядов операндов  $A$  и  $B$ , которое принимает значения 1, 4, 8 и 16. Символом  $C$  обозначается компаратор с двумя выходами -  $GT$  и  $LT$ . Если значения на двух входах равны нулю, то операнды идентичны, если  $GT=1$ , то операнд  $A$  больше  $B$ , если  $LT=1$ , то операнд  $B$  больше  $A$ .

Пример 13. Компаратор с двумя выходами, производящий сравнение 16 разрядных чисел, обозначается как  $COMP16$ .

Группа **связи с выводами микросхемы** включает в себя: входные и выходные буферные элементы, а также выводы микросхемы, работающие на вход и на выход.

Входные и выходные буферные элементы обозначаются как  $IBUF\{X\}$  и  $OBUF\{X\}$  соответственно, где  $X$  - число коммутируемых линий.  $X$  принимает значение 1, 4, 8 и 16 (если  $X=1$ , то соответствующие буферные элементы обозначаются как  $IBUF$  и  $OBUF$ ).

Пример 14. Выходной буферный элемент на 8 коммутируемых линий обозначается как  $OBUF8$

Выводы микросхемы, работающие на вход и на выход, обозначаются как  $IPAD\{X\}$  и  $OPAD\{X\}$  соответственно.  $X$  имеет те же значения, что и для буферных элементов.

С целью ввода сигнала внутрь микросхемы, сначала выбирается типовой библиотечный элемент  $IPAD\{X\}$ , который соединяется с  $IBUF\{X\}$ . С выходов  $IBUF\{X\}$  затем снимаются логические сигналы.

При выводе отклика (выходного сигнала) его подают на элемент  $OBUF\{X\}$ , которые затем подают на  $OPAD\{X\}$ .

Группа *прочие элементы* включает в себя элементы «земля» и «питание», а также *оперативные запоминающие устройства (ОЗУ)*.

Элементы «земля» и «питание» служат для определения постоянных логических сигналов, подаваемых на входы элементов схемы и обозначаются как GND и VCC.

*ОЗУ* имеют общее обозначение вида

$RAM\{X\}$ , где X - размерность ОЗУ

X: 16x1, 16x2, 16x4, 16x8, 32x1, 32x2, 32x4, 32x8.

Пример 15. Библиотечный элемент, обозначающий ОЗУ размерности 32x1, имеет название  $RAM32x1$ .

**Создание собственных библиотечных элементов.** При построении проекта, помимо использования типовых элементов, проектировщик имеет возможность создания собственных элементов посредством *программы генерации параметрических модулей LogiBLOX*. Данная программа позволяет получать готовые топологические фрагменты, задавая параметры требуемой структуры: сумматоров, счетчиков, памяти и т.д. Они используются в дальнейшем как элементы стандартной библиотеки схемотехнического редактора. Данная программа вызывается из схемотехнического редактора *Schematic Editor* посредством выбора пункта главного меню

*Tools/LogiBLOX\_Module\_Generator* (рис. 2.9).

Более подробно описание программы генерации логических блоков *LogiBLOX* приведено в п. 3.1.

## Моделирование проекта.

Этап логического моделирования проектов осуществляется на базе программы *Foundation Logic Simulator*. Данная программа позволяет осуществить *функциональное моделирование* проекта, а также временное моделирование с учетом задержек распространения сигналов по кристаллу. Результат моделирования с задержками полностью имитирует реальную картину работы ПЛИС в устройстве. Это обстоятельство практически исключает необходимость отладки кристалла на плате. Более подробное описание программы *Foundation Logic Simulator* приведено в п. 3.1.

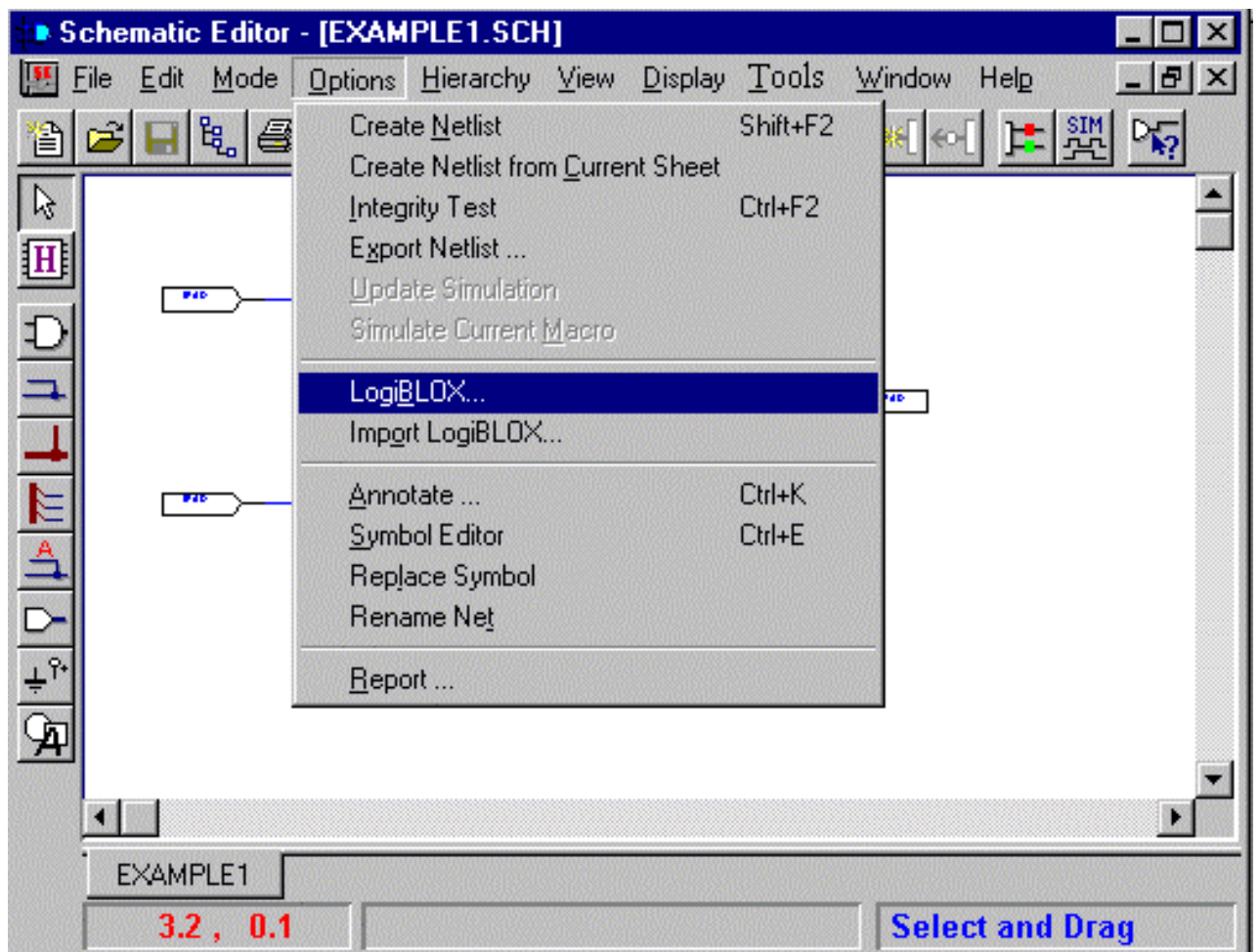


Рис. 2.9. Создание собственного библиотечного элемента.

Моделирование с учетом задержек распространения сигналов по кристаллу - *временное моделирование* - производится при использовании программы *Foundation Timing Simulator*, интерфейс которой идентичен интерфейсу программы Foundation Logic Simulator (см. п. 3.1). При использовании указанной программы осуществляется имитация работы сконфигурированной ПЛИС Xilinx в реальном устройстве с учетом задержек элементов КЛБ, межсоединений и БВВ. Данная программа может быть использована только при прохождении этапа трассировки, который кратко описан ниже, в п. 2.5.

## Трассировщик (Foundation Flow Engine)

Моделирование проекта, реализованного на базе ПЛИС, производится путем трансляции выходного формата схемотехнического редактора Schematic Editor в формат описания внутренней структуры ПЛИС Xilinx. Указанная процедура осуществляется посредством *трассировщика Foundation Flow Engine*, который представляет собой набор трансляторов и программ (рис. 2.1 и 2.10).

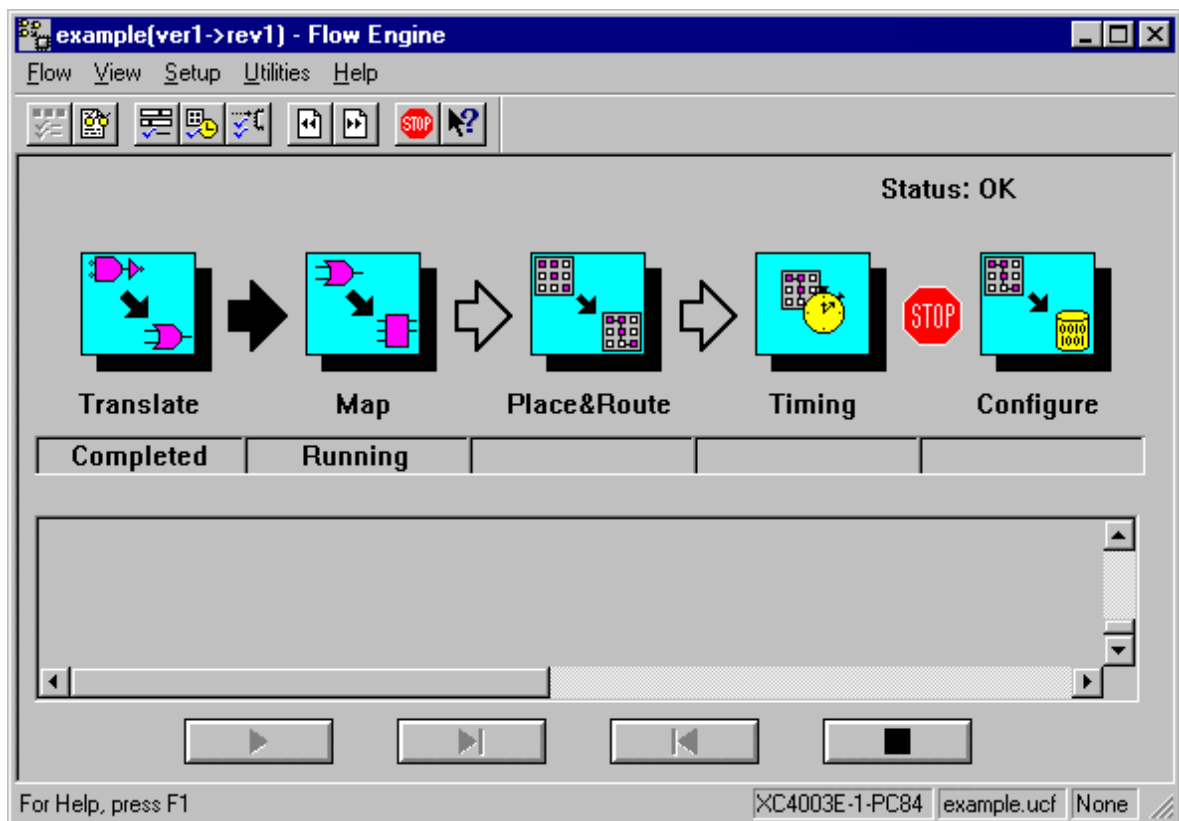


Рис. 2.10. Интерфейс трассировщика Foundation Flow Engine

На этапе «*Translate*» производится оценка емкостной сложности проектируемого устройства по числу задействованных логических элементов - элементов КЛБ (F, G, H, D-триггеров и буферных элементов, см. рис. 1.3) и элементов внутри БВВ (см. рис. 1.2).

На этапе «*Map*» осуществляется сопоставление каждому логическому элементу проектируемого модуля генераторов функций внутри КЛБ (см. Часть 1).

На этапе «*Place&Route*» выполняется размещение сконфигурированных ГФ по площади кристалла и их соединения между собой.

Этап «*Timing*» предусматривает расчет временных констант, необходимых для временного моделирования работы проектируемого устройства на ПЛИС.

## **Топологические редакторы (Floorplanner и FPGA Editor)**

Редактирование внутренней структуры (топологии) проектируемого модуля осуществимо посредством топологических редакторов - *Floorplanner* и *FPGA Editor*.

*Топологический редактор Floorplanner* позволяет проектировщику изменять положение задействованных КЛБ и БВВ в общей структуре ПМЛЭ. Необходимость в данном действии возникает, в частности, когда необходимо произвести конфигурацию БВВ на заданных выводах микросхемы.

Прежде чем приступить к редактированию проекта рекомендуется создать его новую версию. Создание осуществляется посредством опции *Project/Create Version* в главном меню Системы с повторной трансляцией проекта посредством трассировщика *Foundation Flow Engine* (см. п. 2.5).

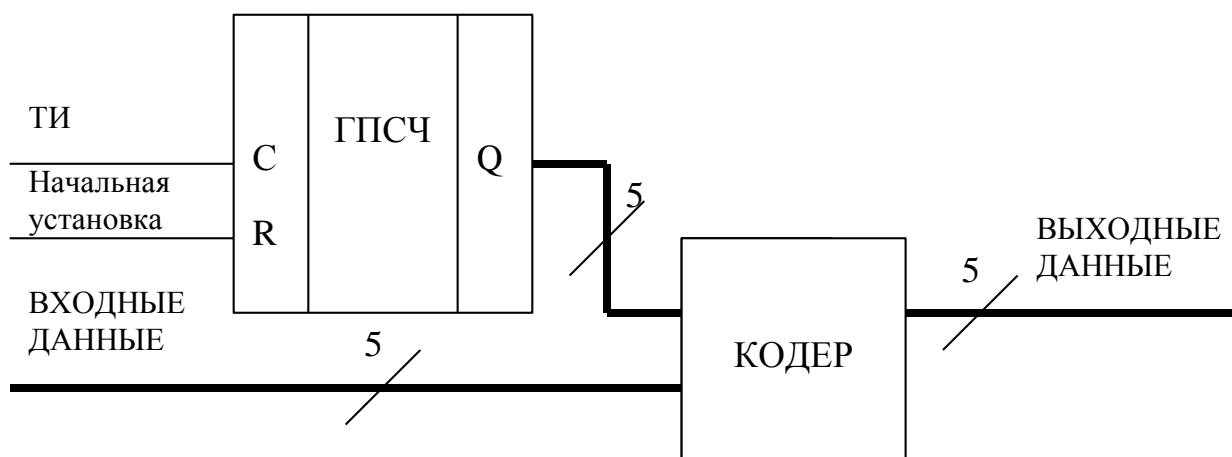
Вызов *Floorplanner* осуществляется из главного окна Системы (рис. 2.2 - 2.3) посредством опции *Tools/Implementation/Floorplanner* в главного меню.

*Топологический редактор FPGA Editor* позволяет осуществить просмотр топологии проекта, реализованного на ПЛИС. При необходимости

возможно произвести (вручную) трассировку выбранных цепей, анализ задержек распространения сигналов по кристаллу и т.д.

Вызов *FPGA Editor* осуществляется из главного окна Системы (рис. 2.2 - 2.3) посредством опции *Tools/Implementation/FPGA Editor* в главном меню.

## Пример схемы выполнения этапов проектирования цифровых устройств на базе ПЛИС



Рассмотрим выполнение всех этапов проектирования цифровых устройств на базе ПЛИС на примере создания проекта устройств кодирования информации.

Пусть требуется синтезировать устройство, которое предназначено для кодирования информации, передаваемой по пятиразрядной шине данных, при помощи генератора псевдослучайных чисел. Структурная схема такого устройства представлена на рис. 3.1.

Рис. 3.1.

Здесь ГПСЧ представляет собой пятиразрядный регистр сдвига с сумматором по модулю два в цепи обратной связи. По каждому импульсу ТИ информация в регистре сдвигается на один разряд влево. Особого внимания заслуживает вход R – вход асинхронной установки. По этому сигналу ГПСЧ устанавливается в отличное от нуля начальное состояние.

Кодер представляет собой устройство, реализующее побитовую операцию суммы по модулю два между разрядами входной шины данных и разрядами состояния ГПСЧ. Для



обеспечения максимального периода генерируемой псевдослучайной последовательности на входы сумматора по модулю два в цепи обратной связи необходимо подавать значения пятого и второго разрядов регистра сдвига.

## Создание проекта

Для создания проекта запустите программу *Foundation project manager*, расположенную на рабочем столе Windows. В полях появившегося на экране окна *New Project* (см. рис.3.2.) укажите:

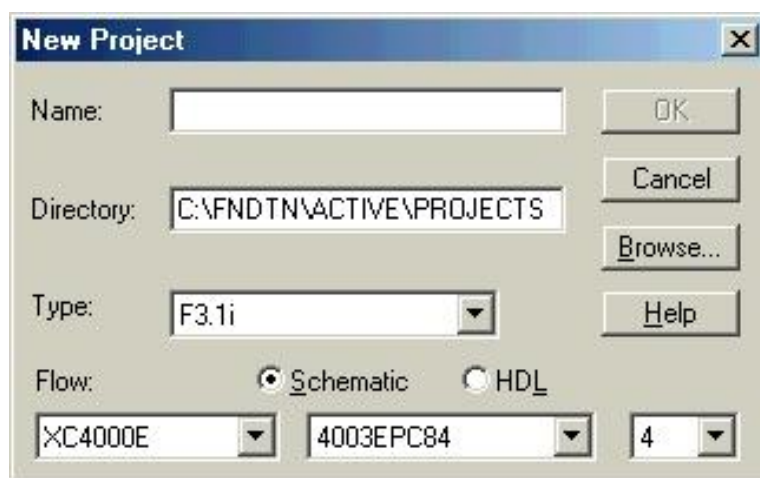


Рис. 3.2.

- Name* – имя проекта (не более восьми символов);
- Directory* – расположение проекта на диске;
- Type* – тип среды проектирования;
- Flow* – вид описания цифрового устройства.

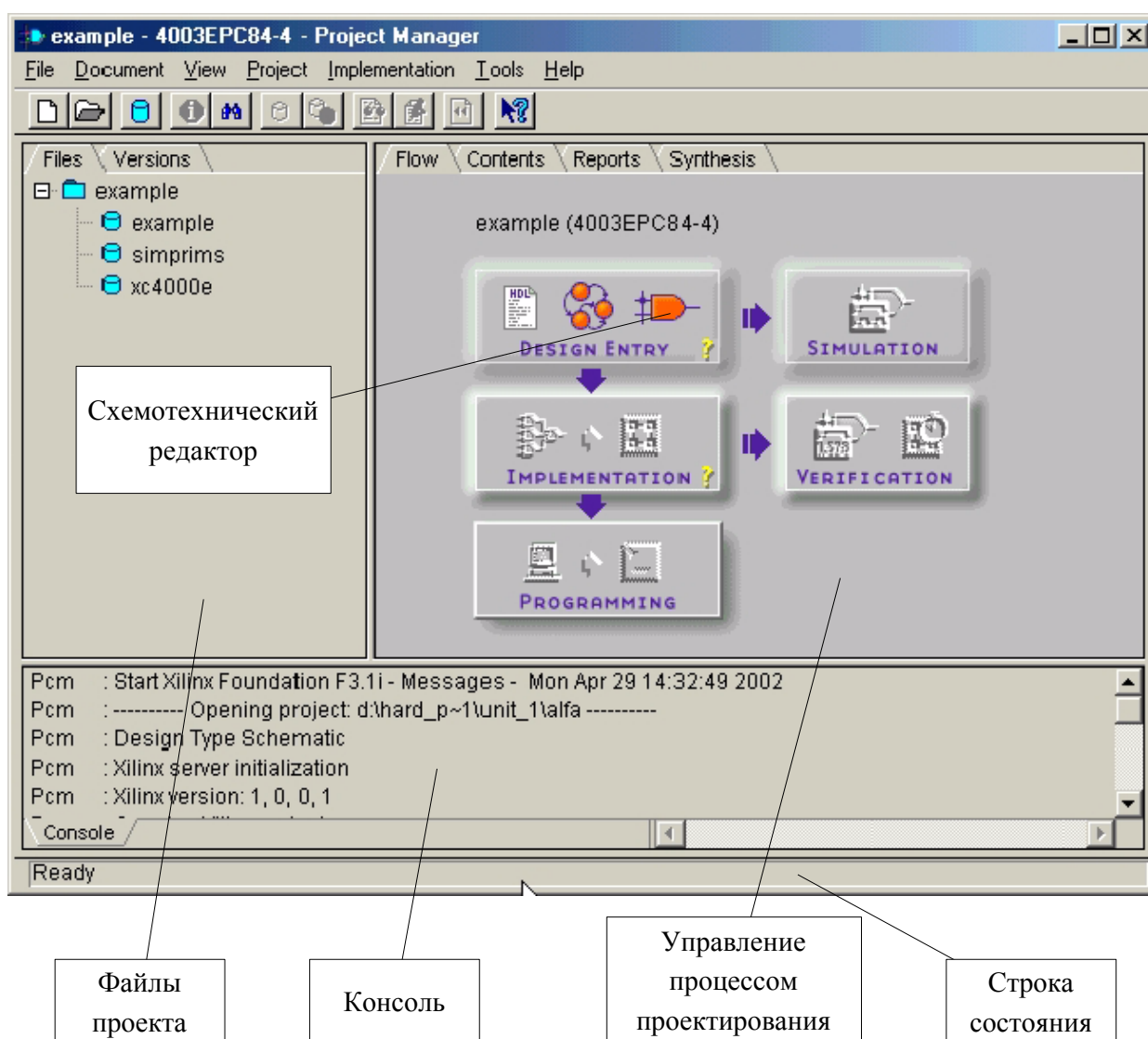
В раскрывающихся списках выберите (слева на право): *серию ПЛИС, тип кристалла из выбранной серии, быстрдействие.*

В нашем примере эти поля будут иметь следующие параметры:

- Name* – *example*;
- Directory* – *c:\fndtn\active\projects*;
- Type* – *F3.1i*;
- Flow* – *schematic*;
- Серия* – *XC4000E*;
- кристалл* – *4003EPC84*;

Система проектирования автоматически создаст необходимые каталоги и файлы, установит связи со стандартными библиотеками логических элементов и откроет окно *Project Manager* (см. рис. 3.3) программы управления проектами.

Рис. 3.3.



В окне *Files* САПР отображает состояние файлов проекта на данном этапе проектирования.

Окно *Console* предназначено для отображения процессов, запущенных в системе проектирования, а также отображения информации об ошибках, возникающих на различных этапах работы.

В окне управления процессом проектирования - *Flow* - САПР отображает набор доступных на данном этапе средств проектирования и верификации. Данный набор средств можно также просмотреть, используя меню *Tools*.

После загрузки программы управления проектами система проектирования готова к вводу описания цифрового устройства.

*Создать новый проект также можно непосредственно из оболочки Project Manager. Для этого необходимо выбрать пункт меню Files/New Project. После появления на экране окна New Project, выполнить действия по созданию проекта, описанные выше.*

,

,

,