

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Ильшат Ринатович Мухаметзянов

Должность: директор

Дата подписания: 13.07.2023 14:34:25

Уникальный идентификатор:

aba80b84033c9ef186388e9ea0434f90a87e40954ba270e84bche64f02d1d8d0

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение высшего образования «Казанский национальный исследовательский технический

университет им. А.Н. Туполева-КАИ»

(КНИТУ-КАИ)

Чистопольский филиал «Восток»

МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ЛАБОРАТОРНЫМ РАБОТАМ
по дисциплине
ЦИФРОВАЯ ЭЛЕКТРОНИКА

Индекс по учебному плану: **Б1.В.12**

Направление подготовки: **12.03.01 Приборостроение**

Квалификация: **Бакалавр**

Профиль подготовки: **Приборостроение**

Типы задач профессиональной деятельности: **проектно-конструкторская,
производственно-технологическая**

Рекомендовано УМК ЧФ КНИТУ-КАИ

Чистополь
2023 г.

№ п/п	№ темы	Наименование лабораторных работ	Трудоемкость (час.)
1	2	Исследование транзисторного ключа (элемент НЕ)	4
2	2	Исследование базовых логических элементов ТТЛ	4
3	2	Исследование базовых логических элементов на МОП-структурах	4
4	3	Синтез триггеров и счетчиков	4

Лабораторная работа №1

Исследование транзисторного ключа (элемент НЕ)

ЦЕЛЬ РАБОТЫ: исследование статических и динамических характеристик различного типа ключей на биполярном транзисторе.

1. ОСНОВНЫЕ ПОНЯТИЯ И РАСЧЕТНЫЕ СООТНОШЕНИЯ

1.1 Транзисторный ключ.

Основу цифровых систем составляют простейший транзисторный ключ (рис. 1), который характеризуется двумя устойчивыми состояниями: разомкнутым и замкнутым. Его передаточная характеристика, описывающая зависимость выходного напряжения от входного, типична для инвертирующих схем (рис. 2). Поскольку схема транзисторного ключа с ОЭ позволяет получить значительное усиление по току, она нашла наибольшее распространение.

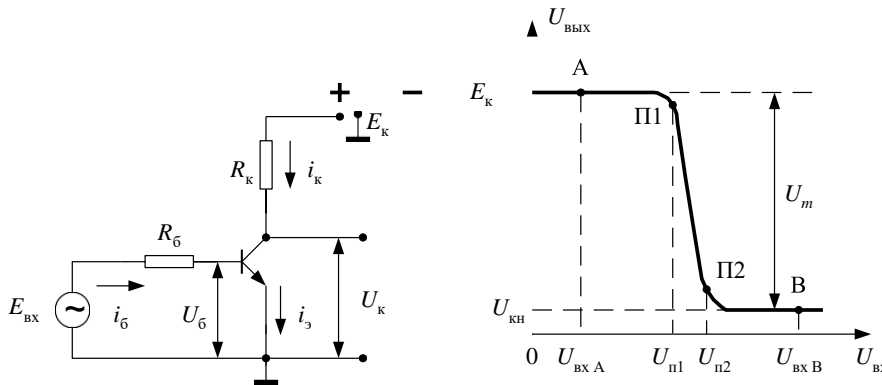


Рис. 1. Схема транзисторного

Рис. 2. Передаточная характеристика транзисторного

Ключевому режиму соответствует два устойчивых состояния разомкнутое (точка А) и замкнутое (точка В). При этом выходные сигналы принимают только два значения, соответствующие ординатам точек А и В. Изменение формы передаточной характеристики на участке П1 – П2 активного режима работы транзистора при его ключевом режиме несущественно, поскольку уровни входных сигналов остаются практически неизменными. Важным является и то обстоятельство, что изменение входных сигналов в пределах $U_{вх.} \leq U_{п1}$ не приводит к замыканию ключа, а в пределах $U_{вх.} \geq U_{п2}$ к его размыканию. Из сказанного следует, что ключевые транзисторные схемы сравнительно мало чувствительны к разбросу параметров, их температурным и временным изменениям, статическим помехам, собственным шумам и т. д. Поэтому ключевые схемы на биполярных транзисторах входят в состав базовых интегральных логических элементов, где выполняют логическую операцию инверсии «-НЕ», а также в состав различных импульсных формирователей. Поскольку ключи-инверторы являются выходными каскадами логических элементов, то они определяют их нагрузочную способность и в значительной степени – быстродействие.

Нагрузочной способностью ключа называют то количество параллельно включенных ключей, которыми способен управлять данный ключ и обозначают это количество через n .

$$n < \frac{E - U_{\text{Б}}^*}{E_{\text{К}}} \cdot B \quad (1)$$

где B – статический коэффициент передачи тока базы $B = \frac{I_{\text{К}}}{I_{\text{Б}}}$;

$U_{\text{Б}}^*$ – напряжение питания транзистора (для германиевого $U_{\text{Б}}^* = 0,2\text{В}$, кремниевого $U_{\text{Б}}^* = 0,6\text{В}$);

$E_{\text{К}}$ – э.д.с. источника коллекторного питания.

На рис. 3 приведено семейство выходных вольтамперных характеристик транзистора и нагрузочная прямая. Точка А соответствует режиму отсечки транзистора, если напряжение на его базе $U_{\text{Б}} \leq U_{\text{Б}}^*$, то оба $p-n$ -перехода транзистора смещены в обратном направлении. Напряжение на коллекторе $U_{\text{К}} = E_{\text{К}} - I_{\text{К}0} \cdot R_{\text{К}}$ – где $I_{\text{К}0}$ – обратный ток коллекторного перехода или остаточный ток транзистора в выключенном состоянии.

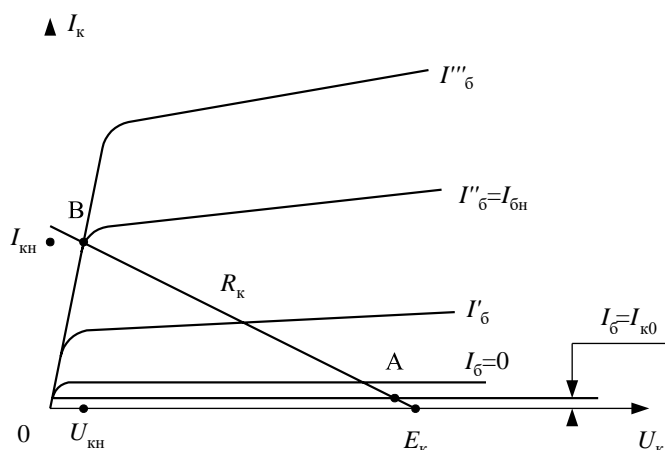


Рис. 3. Выходные ВАХ транзистора и нагрузочная прямая

В режиме насыщения (точка В) оба перехода смещены в прямом направлении и транзистор работает в режиме двойной инжекции. Когда входное напряжение $U > 0$ и имеет достаточно большое абсолютное значение $E_{\text{ВХ1}}$, транзистор находится в состоянии насыщения, напряжения на переходах малы, а протекающие через транзистор токи определяются следующим образом:

$$I_{\text{Б1}} = \frac{E_{\text{ВХ1}}}{R_{\text{Б}} + r_{\text{Б}}} \geq I_{\text{БН}} \quad \text{или} \quad I_{\text{Б1}} \approx \frac{E_{\text{ВХ1}}}{R_{\text{Б}}} \quad (2)$$

при условии, если $R_{\text{Б}} \gg r_{\text{Б}}$, где $r_{\text{Б}}$ – объемное сопротивление базы; $I_{\text{БН}}$ – ток базы на границе насыщения.

$I_{\text{БН}} = \frac{I_{\text{КН}}}{B}$, где B – передачи тока базы в режиме большого сигнала. Коллекторный ток насыщения

определяется из соотношения:

$$I_{\text{КН}} = \frac{E_{\text{К}}}{R_{\text{К}}} \quad (3)$$

При $I_{\text{Б}} = I_{\text{БН}}$ (точка В) напряжение на коллекторе уменьшается до остаточной величины $U_{\text{КН}}$ и дальнейшее увеличение тока базы $I_{\text{Б}}$ уже не приводит к изменению $I_{\text{КН}}$ и $U_{\text{КН}}$. Для перевода транзистора в режим насыщения необходимо выполнить следующее условие:

$$I_{\text{Б1}} \geq I_{\text{БН}} \quad \text{или} \quad B \cdot I_{\text{Б1}} \geq I_{\text{КН}} \quad (4)$$

Глубины насыщения характеризуют параметром, который называют степенью насыщения и обозначают S :

$$S = \frac{B \cdot I_{\text{Б1}}}{I_{\text{КН}}} = \frac{I_{\text{Б1}}}{I_{\text{БН}}} = \frac{B \cdot E_{\text{ВХ}} \cdot R_{\text{К}}}{E_{\text{К}} \cdot R_{\text{Б}}} \quad (5)$$

Важнейшими параметрами ключевой схемы являются параметры, характеризующие время переключения из разомкнутого состояния в замкнутое и обратно. На рис. 4 приведены временные диаграммы базового и коллекторного токов, входного и выходного напряжений и заряда носителей накопленных в базе $q(t)$.

В исходном состоянии транзистор находится в режиме отсечки. Процесс отпирания транзистора при подаче на его вход импульса положительной полярности $E_{ВХ}$ можно разделить на три основных этапа: задержка фронта импульса выходного напряжения, формирования фронта и накопления заряда в базе. Этап задержки фронта обусловлен зарядом входной емкости запятого транзистора до напряжения отпирания и протекает с постоянной времени $\tau_C = R_B \cdot C_{ВХ}$.

Входную емкость принимают равной сумме барьерных емкостей коллекторного и эмиттерного $p-n$ -переходов $C_{ВХ} = C_{Э} + C_{К}$, зная эти параметры можно определить время задержки фронта

$$t_{3Ф} \approx \tau_C \ln \frac{E_{ВХ1}}{E_{ВХ} - U_{Б}^*} \quad (6)$$

В момент времени t_1 транзистор переходит в активный режим. В результате этого коллекторное напряжение изменяется до $U_{КН}$ при условиях заданного тока базы $I_{Б1}$. Процесс формирования фронта характеризуется постоянной времени

$$\tau_{ОЭ} = \tau + (B+1) \cdot R_B \cdot C_{ВХ}, \quad (7)$$

где τ – время жизни носителей заряда в базе транзистора; $C_{К}$ – емкость коллекторного перехода. Для схемы включения с общим эмиттером $ОЭ - \tau = \tau_{\beta}$, где τ_{β} – постоянная времени транзистора в схеме включения с $ОЭ$.

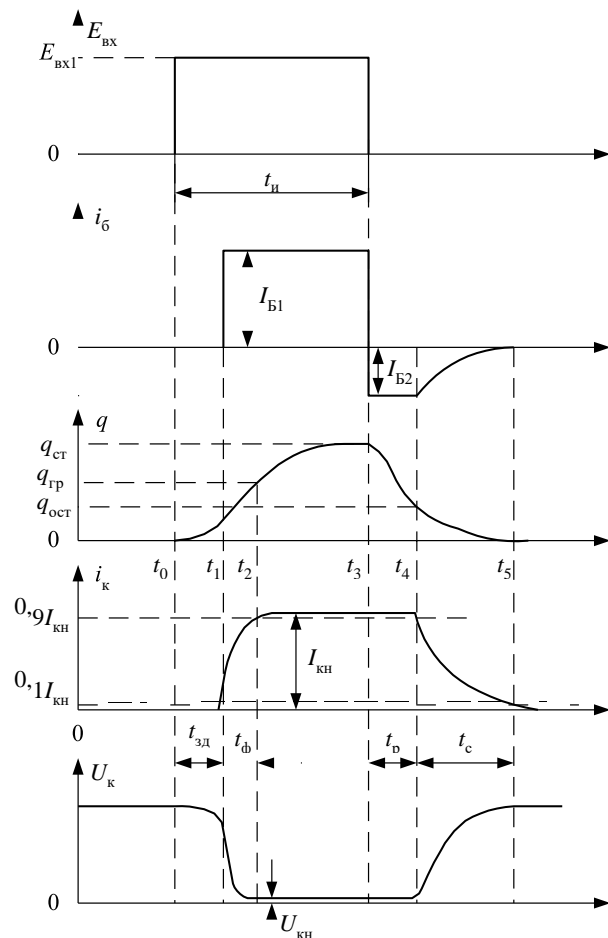


Рис. 4. Временные диаграммы базового и коллекторного токов, входного и выходного напряжений и заряда носителей, накопленных в базе

Длительность фронта $t_{Ф} = t_2 - t_1$ определяется формулой

$$t_{\Phi} = \tau_{\text{оэ}} \cdot \ln \left(\frac{B \cdot I_{\text{Б1}}}{B \cdot I_{\text{Б1}} - I_{\text{КН}}} \right) = \tau_{\text{оэ}} \cdot \ln \frac{S}{S-1}, \quad (8)$$

если отпирающий импульс велик и выполняется условие $I_{\text{Б1}} \gg I_{\text{КН}}$ тогда

$$t_{\Phi} = \frac{\tau_{\text{оэ}} \cdot I_{\text{КН}}}{B \cdot I_{\text{Б1}}} = \frac{\tau_{\text{оэ}}}{S}. \quad (9)$$

В течении времени $t_2 - t_1$ в базе транзистора растет заряд неосновных носителей, достигая граничного значения $q_{\text{ГР}}$. Ток $i_{\text{К}}$ возрастает пропорционально q . В момент времени t_2 транзистор переходит в насыщение, токи транзистора остаются практически постоянными, а заряд q нарастает до стационарного значения $q_{\text{СТ}}$. Стационарного значения заряд достигает только в том случае, если длительность входного импульса $t_{\text{И}} \leq 3 \cdot \tau_{\beta}$.

Процесс выключения начинается в момент времени t_3 , когда $E_{\text{ВХ}} = 0$. В цепи базы появляется обратный ток $I_{\text{Б2}}$, под действием которого заряд в базе уменьшается от $q_{\text{СТ}}$. Это время называется временем рассасывания $t_{\text{Р}}$, при этом транзистор остается в режиме насыщения, а следовательно, происходит задержка выключения на время $t_{\text{Р}}$. Рассасывание происходит в тех же условиях, что и накопление, при неизменных внешних токах, поэтому и скорость процесса рассасывания определяется той же постоянной времени τ_{β} . Время рассасывания определяется соотношением:

$$t_{\text{Р}} = \tau_{\beta} \ln \left(\frac{I_{\text{Б1}} + I_{\text{Б2}}}{I_{\text{БН}} - I_{\text{Б2}}} \right). \quad (10)$$

Если $I_{\text{Б2}} \ll I_{\text{Б1}}$; $I_{\text{Б2}} \ll I_{\text{БН}}$, то справедливо следующее выражение:

$$t_{\text{Р}} = \tau_{\beta} \ln \left(\frac{I_{\text{Б1}}}{I_{\text{БН}}} \right) = \tau_{\beta} \ln S \quad (11)$$

По окончании этапа рассасывания начинается этап запирания транзистора. В момент времени t_4 транзистор переходит в активный режим. Заряд в базе убывает и стремится к 0. Длительность запирания транзистора обычно определяют процессом заряда коллекторной емкости, которая протекает с постоянной времени $\tau_{\text{К}} = R_{\text{К}} \cdot C_{\text{К}}$, и называется временем спада импульса $t_{\text{С}}$.

$$t_{\text{С}} = 2,3 \cdot R_{\text{К}} \cdot C_{\text{К}}. \quad (12)$$

Из рассмотренного выше следует, что повышение быстродействия ключа, т. е. уменьшение $t_{\text{О}}$, $t_{\text{Р}}$, $t_{\text{С}}$, можно достичь, переключая его током базы, оптимальная форма которого показана на рис. 5. Включение в момент t_1 производится сильным током $I_{\text{Б1}} > I_{\text{БН}}$, в момент времени t_2 ток базы уменьшается до величины $I_{\text{Б2}} = I_{\text{БН}}$, при этом заряд в базе уменьшается до $q_{\text{ГР}}$. Тем самым транзистор подготавливается к выключению и исключается время на рассасывание избыточного заряда. Выключения в момент времени t_3 осуществляется путем подачи в базу транзистора тока $I_{\text{Б3}}$ противоположного $I_{\text{Б1}}$ направления.

1.2. Транзисторный ключ с ускоряющей емкостью.

Для уменьшения времени переключения в схему транзисторного ключа включают конденсатор параллельно резистору $R_{\text{Б}}$ (рис. 6).

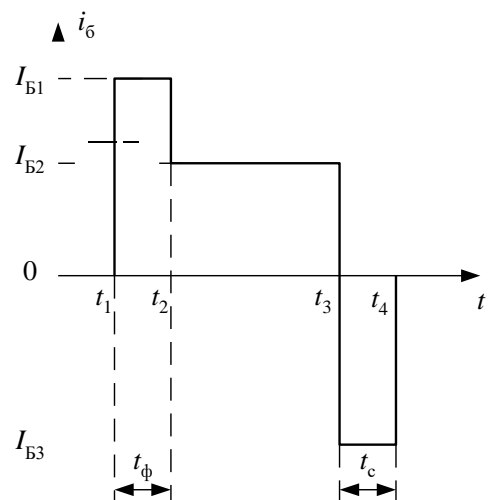


Рис. 5. Оптимальная форма базового тока

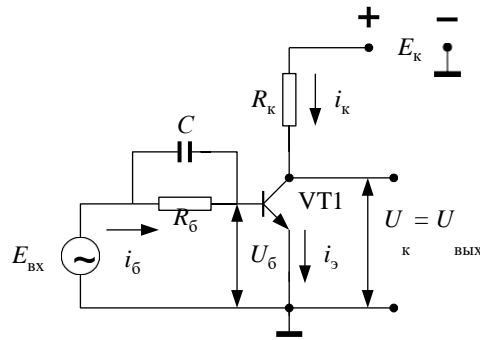


Рис. 6. Схема транзисторного ключа с ускоряющей емкостью

При подаче на вход ключа импульса положительной полярности $+E_{ВХ}$ весь ток $I_{Б1}$ замыкается через ускоряющую емкость C . Этот ток в первый момент времени определяется:

$$I_{Б1} = \frac{E_{ВХ}}{r_Б}, \quad (13)$$

если выполняется условие, что $r_Б \ll R_Б$.

По мере заряда емкости C , ток $i_Б$ уменьшается и в стационарном состоянии равен $I_{Б2}$

$$I_{Б2} = \frac{E_{ВХ}}{R_Б + r_Б} = \frac{E_{ВХ}}{R_Б}.$$

Выбором резистора $R_Б$ обеспечивается $I_{Б2} = I_{БН}$ тогда $t_p \rightarrow 0$.

При выключении (момент t_3 на рис. 7) $E_{ВХ} = 0$ и начинается разряд конденсатора. Ток разряда, замыкаясь в цепь базы, создает достаточно сильный обратный ток $I_{Б3}$:

$$I_{Б3} = \frac{E_{ВХ}}{r_Б}.$$

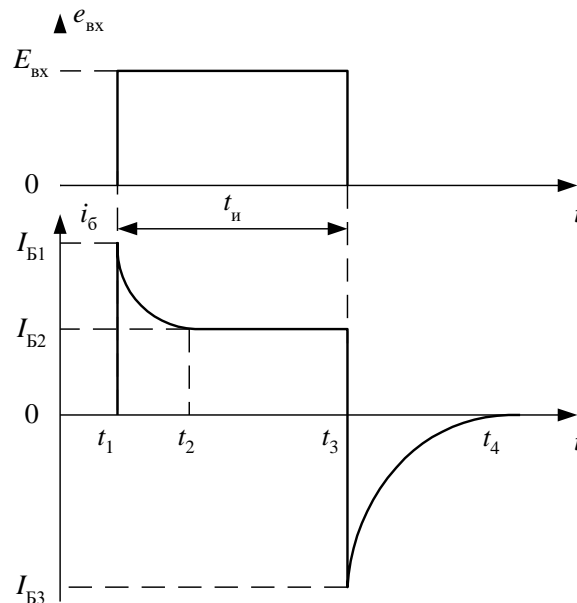


Рис. 7. Временные диаграммы входного напряжения и тока базы транзисторного ключа с ускоряющей емкостью

При условии, что длительность входного импульса $t_{и} \geq 2,3\tau'$, $I_{Б1} > I_{БН}$ временные параметры определяются следующим образом:

если $\tau_C = \tau_\beta$, то

$$t_\phi \leq 2,3\tau'; \quad (14)$$

если $\tau_C > \tau_\beta$, то

$$t_\phi \leq \tau' \ln \frac{\tau}{\tau - \tau_\beta}; \quad (15)$$

если $I_{Б3} < 0$,

$$\frac{t}{\tau + t} \leq \tau' \ln \left(1 + \frac{I_{Б1}}{I_{Б3}} \right); \quad (16)$$

В формулах (14) – (16)

$$\tau_C = C \cdot R_B, \quad (17)$$

$$\tau' = \tau_0 \frac{r_B}{R_B + r_B}. \quad (18)$$

где τ' – постоянная времени базовой цепи ключа с ускоряющей емкостью.

В формулах(14) – (15) знак равенства имеет место если $I_{Б1} = I_{БН}$.

1.3 Транзисторный ключ с нелинейной обратной связью.

При повышении быстродействия ключей одной из главных проблем является уменьшение времени рассасывания избыточного заряда в базе транзистора. Для этого необходимо уменьшить $I_{Б1}$, т. е. степень насыщения S , однако при этом возрастает время нарастания фронта t_ϕ . Кроме того, в реальных условиях степень насыщения должна превышать минимальное значение $I_{БН}$, иначе незначительное изменение коэффициента усиления тока B или тока базы $I_{Б1}$ переводит транзистор в активный режим работы, а это приведет к увеличению остаточного напряжения на коллекторе $U_{КН}$. Известным способом для предотвращения режима глубокого насыщения транзистора является использование в ключе нелинейной отрицательной обратной связи. Электрическая схема такого ключа представлена на рис. 8.

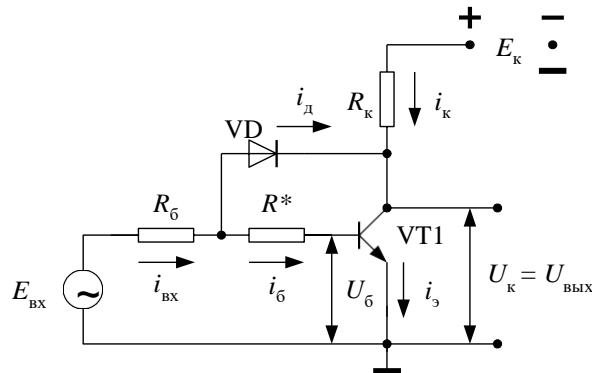


Рис. 8. Схема транзисторного ключа с нелинейной ООС

В исходном состоянии ключ закрыт. Напряжение на коллекторе транзистора $U_K \cong E_K$, поэтому диод VD1 закрыт. На рис. 9 представлены временные диаграммы входного $i_B(t)$ и выходного $i_K(t)$ тока, входного $E_{ВХ}(t)$ и выходного $U_K(t)$ напряжения транзисторного ключа с нелинейной обратной связью. В момент времени t_1 на вход ключа подается импульс $E_{ВХ}$, в цепи базы течет ток $i_{ВХ} = I_{Б1} = \frac{E_{ВХ}}{R_B + R^*}$, но так как $R^* \ll R_B$.

Величины $E_{ВХ}$ и R_B выбираются таким образом, чтобы $I_{Б1} > I_{БН}$. Этим обеспечивается короткий фронт t_ϕ тока i_K и выходного напряжения U_K . По мере возрастания коллекторного тока напряжение на коллекторе убывает и, когда потенциал на коллекторе становится меньше потенциала точки a (рис. 8) диод

VD1 открывается и замыкается цепь нелинейной отрицательной обратной связи. В этом случае $I_B = I_{ВХ} - I_D$, где I_D – ток протекающий через диод, а следовательно, уменьшится ток базы $I_{Б1}$ на величину I_D . Ток коллектора I_K продолжает нарастать за счет нарастания лишь тока диода I_D . В момент времени t_3 в ключе устанавливается стационарное состояние и, как видно из рис. 9, $I_{БСТ} > I_{Б1}$.

Резистор R^* выбирается таким образом, чтобы падение напряжения на нем при протекании тока $I_{БСТ}$ превышало напряжение на открытом диоде VD1. При выполнении этого условия коллекторный *p-n*-переход остается смещенным в обратном направлении, а это значит, что транзистор не входит в режим насыщения. Поскольку в базе транзистора не накапливается избыточный заряд, то время рассасывания практически исключено $t_p \rightarrow 0$.

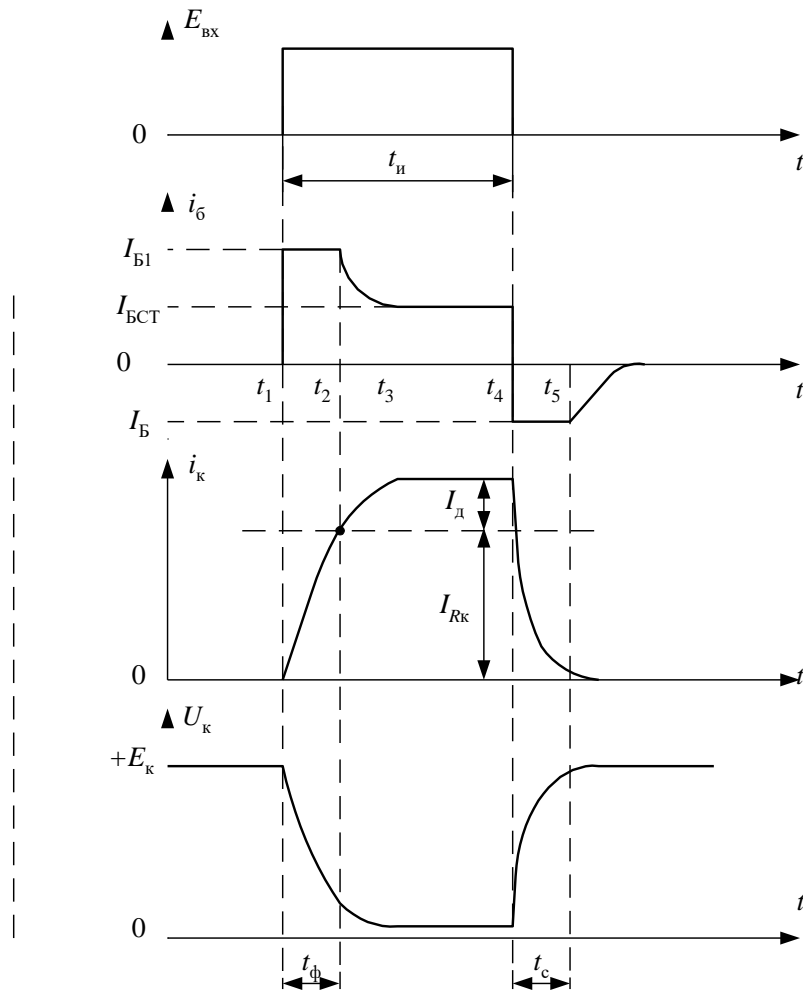


Рис. 9. Временные диаграммы входного и выходного тока, входного и выходного напряжения транзисторного ключа с нелинейной ООС

В момент t_4 происходит запираание транзистора и время спада t_C формируется также, как и в ключе без обратной связи. В момент t_4 достаточно большое обратное сопротивление диода восстанавливается сразу, что приводит к незначительной задержке выключения транзисторного ключа. Поэтому следует использовать высокочастотные диоды.

При условии $R_B \gg R^*$ длительности t_ϕ и t_C определяются формулами (9) и (12).

2. ОПИСАНИЕ ЛАБОРАТОРНОГО СТЕНДА.

В данной работе исследуется схема электронного ключа на германиевом сплавном *n-p-n* транзисторе МП – 36А. Параметры транзистора и электрической схемы приведены на передней панели макета. В качестве элемента нелинейной обратной связи используется высокочастотный диод КД503.

Комплект приборов для выполнения лабораторной работы состоит из:

- лабораторного стенда;
- генератора импульсов специальной формы Г6-26;
- генератора импульсов Г5-54;
- осциллографа С1-65А;
- источника питания лабораторного стенда с напряжениями $\pm 15\text{В}$; $+5\text{В}$ (источник для всех стендов общий).

Принципиальная схема транзисторного ключа изображена на основном поле передней панели лабораторного стенда. Потенциальные контакты элементов схемы имеют цифробуквенные обозначения – 2а, бв и т. д. эти контакты соединены внутри стенда с соответствующими гнездами наборного поля, выполненного на базе розетки шестнадцати контактного разъемного соединителя, расположенного в нижнем дополнительном поле. В этом же поле установлены по две пары входных и выходных гнезд. Эти гнезда соединены с контактами 1а и 8а наборного поля и предназначены для подключения измерительных приборов к входу и выходу транзисторного ключа. Наборное поле позволяет с помощью специальных коротких проводников подсоединить к входным и выходным гнездам стенда. Лабораторный стенд содержит электронный коммутатор (ЭК), условное обозначение которого изображено в правом дополнительном поле панели. Электронный коммутатор позволяет наблюдать на экране осциллографа одновременно два сигнала, например, например напряжение, подаваемое на вход исследуемого ключа и напряжение, возникающее на его выходе. Для этого на два входа электронного коммутатора \rightarrow Вх1 и \rightarrow Вх2 подаются исследуемые сигналы, а выход \rightarrow Вых электронного коммутатора подключается к входу \rightarrow У осциллографа. Электронный коммутатор является аналогом электронного ключа, который поочередно подключает к выходу ЭК исследуемые сигналы. Переключение коммутатора осуществляется пилообразными импульсами от блока развертки осциллографа, которые подаются на дополнительный вход ∇ ЭК. С помощью ЭК и осциллографа осуществляется возможность визуального сравнения сигналов по форме и амплитуде. Лабораторный стенд содержит так же два измерительных усилителя, с помощью которых можно усилить падения напряжения на токосъемных резисторах R_2 и R_4 , усиленная разность потенциалов пропорциональна токам i_B и i_K , протекающим через соответствующие резисторы. Измерительные усилители собраны на высокочастотных операционных усилителях по схеме дифференциального включения. Коэффициенты усиления этих усилителей K_1 и K_2 приведены на лицевой панели стенда. Выходные напряжения усилителей определяются как $U_1 = K_1 \cdot i_B \cdot R_2$, $U_2 = K_2 \cdot i_K \cdot R_4 \cong K_2 \cdot i_K \cdot R_4$.

Таким образом, можно определить базовый и коллекторный токи $i_B = \frac{U_1}{K_1 \cdot R_2}$; $i_K = \frac{U_2}{K_2 \cdot R_4}$.

Все гнезда (зажимы) и контакты стенда, отмеченные знаком \perp , являются общими, т. е. электрически соединены внутри стенда между собой. Питание стенда осуществляется от источников питания с напряжениями $+15\text{В}$ -15В . Питание транзисторного ключа составляет $E_K = 5\text{В}$. Напряжения питания стенда включается тумблером ПИТАНИЕ о чем свидетельствует светодиодный индикатор.

3. ЗАДАНИЯ НА ТЕОРЕТИЧЕСКИЕ РАСЧЕТЫ

ЗАДАНИЕ 1. Рассчитать значения I_{KH} , I_{BH} , t_ϕ , t_p , t_C , для случая, когда $I_{BH} = 0,9 I_{B1}$, схемы ключа, приведенной на рис. 1. Исходные данные: $E_K = 5\text{В}$, $R_K = 5,1 \text{ кОм}$, $R_B = 5,6 \text{ кОм}$. Параметры транзистора приведены на лицевой стороне панели стенда.

ЗАДАНИЕ 2. Рассчитать и построить графики зависимостей $t_\phi = f(S)$, $t_p = f(S)$ для следующих значений $S = 1, 1, 1, 5; 2; 3; 4; 5; 4; 5; 10$. для расчета использовать формулы (9) и (11).

4. ЗАДАНИЯ НА ЭКСПЕРИМЕНТАЛЬНЫЙ ИССЛЕДОВАНИЯ И МЕТОДИКА ИХ ВЫПОЛНЕНИЯ.

ЗАДАНИЕ 1. Исследовать передаточную характеристику транзисторного ключа. Для этого:

1.1 Включить в сеть генератор сигналов специальной формы Г6-26 и электронный осциллограф. Перевести тумблеры приборов «СЕТЬ» в положение «Вкл.»

1.2 Выход генератора соединить с входом «X» осциллографа. Скорость развертки осциллографа выключить, ручку синхронизации установить в положение «1:1 ВНЕШ.». Установить частоту гармонического сигнала $f=100$ Гц, а напряжение установить таким образом, чтобы горизонтальная линия, соответствующая двойной амплитуде $2U_m$ сигнала генератора, не выходила за пределы экрана осциллографа (6-8 делений на масштабной сетке экрана).

1.3 Измерить двойную амплитуду напряжений генератора с помощью калиброванного входа «Y» осциллографа. Определить сколько вольт (В) соответствует одному делению масштабной сетки осциллографа по горизонтали (т. е. определить масштаб напряжений по оси X).

1.4 Подсоединить транзисторный ключ к входу и выходу лабораторного стенда. Для этого короткими проводниками с плоскими контактами соединить клеммы 4а и 1в, а также 7а и 8а наборного поля ШР.

1.5 Собрать схему измерения параметров передаточной характеристики транзисторного ключа (рис. 10).



Рис. 10. Схема для исследования передаточной характеристики

1.6 Подключить кабель питания к лабораторному стенду через разъем, установленный на боковой стенке стенда. Включить тумблер питания стенда.

1.7 Установить переключатель коэффициента усиления канала вертикального усиления в положение 1В/Дел

1.8 Зарисовать с экрана осциллографа передаточные характеристики с указанием масштабов по осям при:

- холостом ходе на выходе, когда $R_H = \infty$;
- при $R_H = R_5$, замкнув клеммы 6в и 6а;
- при $R_H = R_6$, замкнув клеммы 7в и 6а.

1.9 на графике передаточных характеристик определить $U_{m\text{ВЫХ}}$, $U_{П1}$, $U_{П2}$. Сделать выводы.

ЗАДАНИЕ 2. Исследовать влияние амплитуды импульса входного напряжения на временные параметры импульса выходного напряжения $t_{\text{ф}}$ и $t_{\text{р}}$.

1.1 собрать схему измерения, изображенную на рис. 11.

1.2 на лицевой панели генератора прямоугольных импульсов Г5-54 установить длительность импульсов положительной полярности $t_{\text{И}} = 5 \mu\text{С}$ (мкс), частоту повторения $f = 100$ Hz (Гц), временной сдвиг 1-3 $\mu\text{С}$ (мкс). Синхронизацию осуществить импульсами положительной полярности. Ручку «АМПЛ.» амплитуды синхроимпульсов установить в среднее положение.

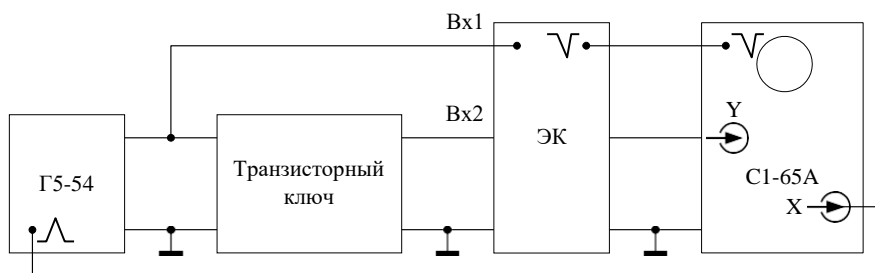


Рис. 11. Схема для измерения временных параметров импульса

1.3 Включить тумблеры «Сеть» всех приборов и стенда в положение «Вкл.».

1.4 Переключатель V/Дел. Электронного осциллографа установить в положение 2 V/Дел. Переключатель « $\approx \perp \sim$ » установить в положение « \sim » (закрытый вход). Переключатель скорости развертки установить в положение 5 μS /Дел. Вращая ручку «УРОВЕНЬ СИНХРОНИЗАЦИИ» добиться устойчивого изображения 2-х импульсов на экране осциллографа (рис. 12), предварительно установив режим внешней синхронизации «ВНЕШ. 1:1». Ручку управления скоростью развертки ПЛАВНО установить в положение калибровки « \blacktriangledown ».

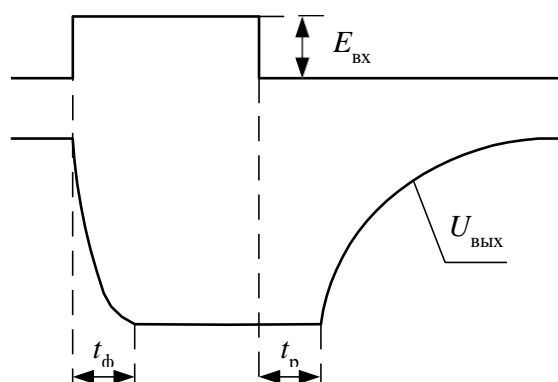


Рис. 12. Вид входного и выходного импульсов на экране осциллографа

1.5 Изменяя амплитуду импульса на входе генератора Г5-54, подаваемого на вход ключа, измерить на экране осциллографа t_{ϕ} и t_{ρ} импульса выходного напряжения. Амплитуду сигнала на входе ключа также измерять по осциллограмме.

Результат свести в таблицу.

Таблица 1

$E_{вх},$ (В)	,6		,5				
$t_{\phi},$ (мкс)							
$t_{\rho},$ (мкс)							

Сравнить полученные результаты с расчетными в пункте 2 ЗАДАНИЯ на теоретические расчеты. Сделать выводы.

ЗАДАНИЕ 3. Исследовать влияние ускоряющих емкостей C_1 и C_2 на форму тока в цепи базы и временные параметры импульса выходного напряжения t_{ϕ} и t_{ρ} .

3.1 Собрать схему измерения изображенную на рис. 13.

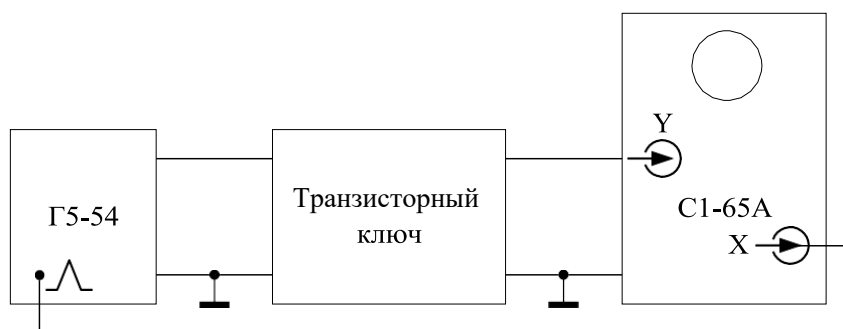


Рис. 13. Схема для исследования влияния ускоряющих емкостей на работу транзисторного ключа

3.2 Установить напряжение $E_{ВХ}=1,5В$. На лабораторном стенде включить параллельно резистору R_1 емкость C_1 , замкнув проводником клеммы 2а и 2в. Зарисовать осциллограмму импульса выходного напряжения и, используя масштабную сетку, определить $t_{ф}$, $t_{р}$.

3.3 Зарисовать осциллограмму напряжения U_1 , пропорционально току базы $i_{Б}$, для этого соединить проводником клеммы 4в и 8а.

3.4 Повторить пункты 3.2 и 3.3 для емкости C_2 , замкнув проводником клеммы 3а и 2в.

3.5 Сравнить форму напряжения $U_1 \sim i_{Б}$ и временные параметры выходного напряжения. Определить токи $I_{Б1}$, $I_{Б2}$, $I_{Б3}$. Сделать выводы.

ЗАДАНИЕ 4. Исследовать влияние нелинейной обратной связи на форму тока в цепи базы $i_{Б}$ и коллектора $i_{К}$ и временные параметры импульса $U_{ВЫХ}$. Для этого:

4.1 Установить $E_{ВХ}=1,5В$. При разомкнутой обратной связи зарисовать осциллограммы напряжений в следующей последовательности:

- U_1 , замкнув клеммы 4в и 8а;
- U_2 , замкнув клеммы 5в и 8а;
- $U_{ВЫХ}$, замкнув клеммы 7а и 8а.

На полученных осциллограммах определить $t_{ф}$ и $t_{р}$, а также значения $I_{Б}$ и $I_{К}$.

4.2 Замкнуть цепь обратной связи, соединив клеммы ШР 3в и 5а. Повторить пункт 4.1 ЗАДАНИЯ 4.

4.3 Сравнить результаты пунктов 4.1 и 4.2. сделать выводы.

5. ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ.

1. Какими параметрами характеризуется транзисторный ключ в статическом режиме работы?
2. Как определить степень насыщения транзистора?
3. Как зависит длительность фронта $t_{ф}$ и время рассасывания $t_{р}$ от амплитуды входного тока коллектора $E_{ВХ}$?
4. Изобразите осциллограммы тока $i_{Б}(t)$ на входе и тока коллектора $i_{К}(t)$ на выходе ключа с ускоряющей емкостью.
5. Изобразите осциллограммы входного тока $i_{Б}(t)$ и выходного напряжения $U_{ВЫХ}(t)$ при включенной нелинейной обратной связи.
6. Какие параметры ключа влияют на время спада $t_{С}$ импульсного коллекторного тока $i_{К}$?
7. Запишите формулы определения $t_{ф}$ и $t_{р}$ при включенной ускоряющей емкости.
8. Как определить $i_{Б}$ и $i_{К}$ с помощью измерительных усилителей, используемых в лабораторном стенде?

6. УКАЗАНИЯ К ОТЧЕТУ.

Отчет должен содержать:

1. Название работы, инициалы и фамилию студента, номер группы.
2. Электрические принципиальные схемы простого транзисторного ключа, с ускоряющей емкостью и нелинейной обратной связью.
3. Значения рассчитанных параметров $I_{\text{КН}}$, $I_{\text{БН}}$, $t_{\text{ф}}$, $t_{\text{р}}$ и графики $t_{\text{ф}}=f_1(S)$, $t_{\text{р}}=f_2(S)$.
4. Осциллограммы передаточных характеристик для различных значений сопротивления нагрузки и параметры $U_{\text{мВЫХ}}$, $U_{\text{П1}}$, $U_{\text{П2}}$.
5. Таблицу экспериментальных значений временных параметров при изменении $E_{\text{ВХ}}$.
6. Осциллограммы, полученные при различных значениях ускоряющих емкостей.
7. Осциллограммы, полученные без обратной связи и с введением нелинейной обратной связи.
8. Все осциллограммы выполнить в одном масштабе и определить значения временных параметров $t_{\text{ф}}$ и $t_{\text{р}}$.
9. По каждому пункту ЗАДАНИЙ провести анализ полученных результатов, погрешности измерений, сделать выводы.

Лабораторная работа №2

Исследование базовых логических элементов ТТЛ

ЦЕЛЬ РАБОТЫ: закрепление знаний принципов действия интегральных логических элементов, их параметров и характеристик; приобретение умений по расчету статической помехоустойчивости логических элементов и экспериментальному определению их параметров и характеристик.

Задание для самостоятельной работы заключается в том, что студенты должны изучить принципы построения и действия базовых логических элементов, их основные параметры и характеристики, методику расчета статической помехоустойчивости, оформить отчет.

Работа в аудиторное время заключается в экспериментальном снятии статических характеристик и измерений параметров логических элементов, определении параметров статической помехоустойчивости, в измерении динамических параметров и защите отчета.

1. ОБЩИЕ СВЕДЕНИЯ О БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ, ИХ ПАРАМЕТРАХ И ХАРАКТЕРИСТИКАХ

Базовыми логическими элементами (ЛЭ) называют устройства, реализующие базисные логические функции. Базисными логическими функциями называют набор элементарных логических функций, позволяющих получить сколь угодно сложную логическую функцию. Наибольшее применение нашли следующие базисные наборы логических функций: И, ИЛИ, НЕ; И-НЕ; ИЛИ-НЕ. В интегральной схемотехнике в основном применяются базовые ЛЭ типа И-НЕ и ИЛИ-НЕ.

Наиболее широкое применение получили ЛЭ с потенциальным представлением логических переменных. При этом если логической единице “1” соответствует высокий, а логическому нулю “0” – низкий уровень напряжения, то логика называется положительной, если же, наоборот, “1” соответствует низкий, а “0” – высокий уровень напряжения, то логика называется отрицательной.

Свойства ЛЭ оцениваются рядом статических и динамических параметров, которые характеризуют ЛЭ по их функциональным возможностям, быстродействию, потреблению мощности и помехоустойчивости. Основными характеристиками ЛЭ являются передаточная и переходная. Передаточная характеристика представляет собой зависимость $U_{\text{вых}}=f(U_{\text{вх}})$, ее характерный вид показан на рис. 1. Переходная характеристика ЛЭ представляет собой взаимосвязанные изменения во времени входного и выходного напряжений. Характерный вид ее для базового элемента с инвертированием приведен на рис. 2.

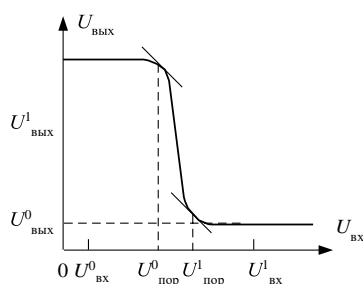


Рис. 1. Передаточная характеристика логического

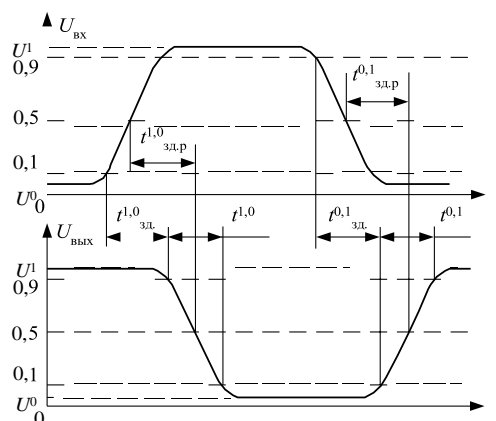


Рис. 2. Переходная характеристика инвертирующего

К основным статистическим параметрам ЛЭ относятся:

$U^1_{\text{вх}}, U^0_{\text{вх}}, I^1_{\text{вх}}, I^0_{\text{вх}}$ – входные напряжения и токи логической “1” и логического “0” соответственно;

$U^1_{\text{вых}}, U^0_{\text{вых}}, I^1_{\text{вых}}, I^0_{\text{вых}}$ – выходные напряжения и токи логической “1” и логического “0” соответственно;

$K_{\text{раз}}$ – коэффициент разветвления по выходу, характеризующий число единичных нагрузок (входов логических элементов данной серии интегральных микросхем), которые одновременно могут быть подключены к выходу ЛЭ. Следовательно, $K_{\text{раз}}$ характеризует нагрузочную способность ЛЭ;

$K_{\text{об}}$ – коэффициент объединения по входу. Это собственно число входов ЛЭ, по которым реализуется логическая функция. В современных ЛЭ $K_{\text{об}}$, как правило, находится в пределах от 2 до 6;

$U_{\text{пит}}$ – напряжение источника питания;

$P^1_{\text{пот}}, P^0_{\text{пот}}$ – мощности, потребляемые ЛЭ в состоянии логической “1” и логического “0” соответственно;

$P_{\text{пот. ср}} = 0,5 (P_{\text{пот}}^1 + P_{\text{пот}}^0)$ - средняя потребляемая мощность;
 $U_{\text{пор}}^1, U_{\text{пор}}^0$ - пороговые напряжения логической "1" и логического "0" соответственно. Для положительной логики (см. рис. 1) это соответственно наименьшее значение высокого уровня и наибольшее значение низкого уровня входного напряжения, при котором она не переходит из одного состояния в другое. Для отрицательной логики будет наоборот;

$U_{\text{п. ст.}}$ - помехоустойчивость статическая. Это наибольшее значение напряжения статической помехи по высокому и низкому уровням входного напряжения, которое, будучи наложенным на входной сигнал, не приводит к переходу схемы из одного состояния в другое. В соответствии с передаточной характеристикой рис. 1, учитывая, что параметры ЛЭ имеют разброс, статическая помехоустойчивость определяется как наименьшая из помехоустойчивостей по логической единице и по логическому "0":

$$U_{\text{п. ст.}}^0 = U_{\text{пор min}}^0 - U_{\text{вх max}}^0; U_{\text{п. ст.}}^1 = U_{\text{вх min}}^1 - U_{\text{пор max}}^1$$

Основными динамическими параметрами, характеризующими быстродействие ЛЭ (на рис. 2 показано, как они определяются по переходным характеристикам), являются:

$t^{1,0}$ и $t^{0,1}$ - время перехода соответственно из состояния "1" в состояние "0", и наоборот;

$t_{\text{зд. п}}^{1,0}$ и $t_{\text{зд. п}}^{0,1}$ - время задержки распространения сигнала соответственно при включении и выключении;

$t_{\text{зд. п. ср}} = 0,5 (t_{\text{зд. п}}^{1,0} + t_{\text{зд. п}}^{0,1})$ - среднее время задержки распространения сигнала. В справочных данных времена задержки распространения могут указываться для конкретных уровней, отличных от показанных на рис. 2;

$t_{\text{зд}}^{1,0}$ и $t_{\text{зд}}^{0,1}$ - время задержки соответственно включения и выключения ЛЭ. Это время между входным и выходным импульсами на определенных уровнях (см. рис. 2).

По принципу построения различают несколько типов базовых логических элементов (логик): диодная логика (ДЛ), резисторно-транзисторная логика (РТЛ), диодно-транзисторная логика (ДТЛ), транзисторно-транзисторная логика (ТТЛ), эмиттерно-связанная транзисторная логика (ЭСЛ) или (ЭСТЛ), МДП-логика (или МОП-логика), иногда ее называют непосредственно связанной транзисторной логикой (НСТЛ). В данной работе изучаются и исследуются базовые ЛЭ ТТЛ, ЭСЛ и МОП-логики.

2. БАЗОВЫЕ ЭЛЕМЕНТЫ ТТЛ

Основная схема базового ЛЭ ТТЛ на два входа (возможно до входов) приведена на рис. 3. Она реализует функцию И-НЕ в положительной логике. На многоэмиттерном транзисторе VT_M собрана схема И, а на транзисторах VT_1, VT_2, VT_3 - сложный инвертор, в котором на VT_1 собрана схема фазоинверсного каскада, а на VT_2 и VT_3 - двухтактный выходной каскад (каскад усиления мощности). Диоды VD_1, VD_2 называются противозонными, служат они для улучшения переходных процессов в линиях связи с целью исключения ложных переключений в схеме. Диод VD_3 обеспечивает повышение уровня и стабильности порога срабатывания транзистора VT_2 .

Рассмотрим принцип работы схемы. Пусть на оба входа поданы высокие уровни напряжений $U_{\text{вх}}^1$. В этом случае обе транзисторные структуры VT_M будут в инверсном активном режиме, т.е. переходы база-эмиттер будут заперты, а эмиттеры и коллектор меняются ролями. А поскольку при этом переход база-коллектор транзистора VT_M открыт (приложено прямое напряжение база-коллектор), то по цепям эмиттеры-коллектор VT_M , база-эмиттер VT_1 потечет ток, приводящий VT_1 в насыщенное состояние. Напряжением с R_3 откроется транзистор VT_3 и на выходе будет напряжение низкого уровня $U_{\text{вых}}^0$. При этом транзистор VT_2 будет закрыт, так как напряжение база-эмиттер транзистора VT_2 будет

$$U_{\text{бэ2}} = (U_{\text{кэ1}} + U_{\text{бэ3}}) - (U_{\text{вых}}^0 + U_{\text{д3}}) \approx 0,$$

где $U_{\text{кэ1}}$ - напряжение коллектор-эмиттер транзистора VT_1 ; $U_{\text{бэ3}} = U_{\text{R3}}$ - напряжение база - эмиттер транзистора VT_3 ; $U_{\text{д3}}$ - напряжение на диоде VD_3 .

Пусть хотя бы на один из входов подано напряжение низкого уровня $U_{\text{вх}}^0$. Соответствующие этим входам транзисторные структуры будут иметь открытые переходы база - эмиттер, вследствие чего база будет насыщена неосновными носителями заряда (в данном случае электронами) и переход база - коллектор VT_M будет закрыт. А это значит, что даже наличие инверсных структур VT_M (структур, соответствующих входам, на которые поданы высокие уровни напряжений $U_{\text{вх}}^1$) не может обеспечить отпирание VT_1 .

Поскольку VT_1 закрыт, то высоким напряжением с его коллектора откроется VT_2 , а из-за малости напряжения на R_3 транзистор VT_3 будет приоткрыт. Следовательно, на выходе будет напряжение высокого уровня $U_{\text{вых}}^1$: $U_{\text{вых}}^1 = E - I_{\text{кэ3}} R_4 - U_{\text{кэ2}} - U_{\text{д3}}$, где $I_{\text{кэ3}}$ - коллекторный ток закрытого транзистора VT_3 ; $U_{\text{кэ2}}$ - напряжение коллектор-эмиттер транзистора VT_2 .

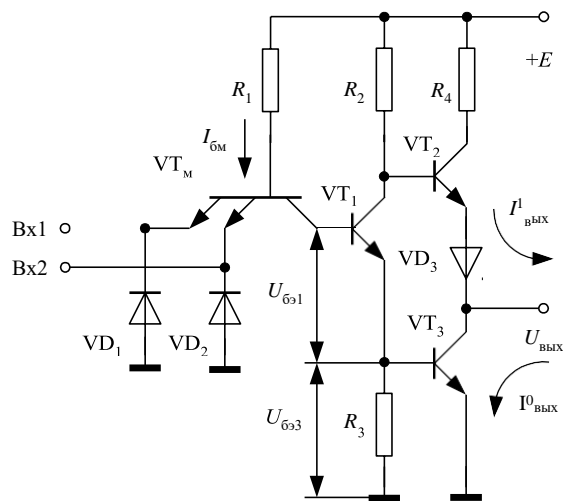


Рис. 3. Основная схема базового ЛЭ ТТЛ

Устранение так называемого «звона» с помощью диодов VD_1 и VD_2 заключается в следующем. Дело в том, что сигналы на вход схемы могут поступить от источников со значительными емкостями и индуктивностями. В этом случае при отсутствии противозвонных диодов во входных цепях могут возникать колебательные переходные процессы с достаточно большими амплитудами, что вызывает ложные переключения в схеме (как это показано, например, в точке 2, рис. 4).

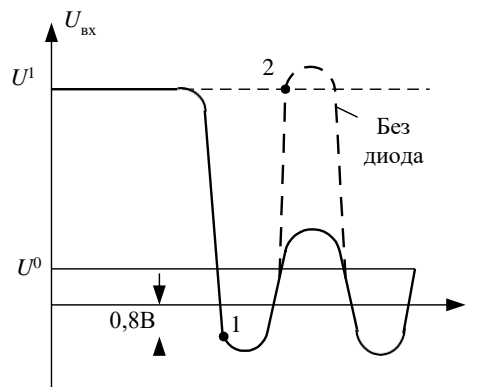


Рис. 4. Устранение «звона» во входных цепях с помощью диодов

При наличии противозвонного диода он открывается при первой отрицательной полуволне на уровне 0,8 В (точка 1 на рис. 4) и далее остается открытым в течение всего времени переходного процесса, что приводит к существенному снижению амплитуд колебания напряжения (см. рис. 4). При положительной полуволне напряжения диод будет оставаться открытым, так как за время положительной полуволны обратное сопротивление диода не успевает восстановиться.

Более быстродействующие базовые ЛЭ ТТЛ делаются по той же схеме, но на транзисторах с диодами Шотки (ТТЛШ). Эти базовые ЛЭ имеют время задержки распространения, в 5-7 раз меньше, чем ЛЭ ТТЛ без диодов Шотки.

Логические элементы ТТЛ нашли широкое применение и отличаются следующими свойствами: высокой помехоустойчивостью; достаточно высоким быстродействием, в том числе при емкостной нагрузке, так как выходное сопротивление ЛЭ мало; сравнительно высокой нагрузочной способностью, так как у них малые входные токи и достаточно большие допустимые выходные токи.

Недостатком их является то, что имеет место кратковременное значительное увеличение мощности потребления в моменты переключений, что ведет не только к необходимости увеличения мощности источника питания, но к возникновению импульсной помехи по цепи питания. Поэтому рекомендуется на каждое определенное количество элементов в цепи питания оставить фильтрующий конденсатор.

3. БАЗОВЫЕ ЭЛЕМЕНТЫ ЭСЛ

Базовые ЛЭ ЭСЛ еще называют ЛЭ на переключателях тока (ТПТЛ), так как их основу составляет переключатель тока (ПТ). Схема ПТ с одним входом приведена на рис. 5. Основу его составляют транзисторы VT_1 и VT_2 с объединенными эмиттерами. На базу одного транзистора подается входной сигнал

$U_{\text{вх}}$, на базу второго – опорное напряжение $U_{\text{оп}}$, уровень которого выбирается между уровнями $U^1_{\text{вх}}$ и $U^0_{\text{вх}}$.

ПТ имеет два взаимно инверсных выхода.

Работу переключателя тока удобно рассмотреть, используя временные диаграммы рис. 6.

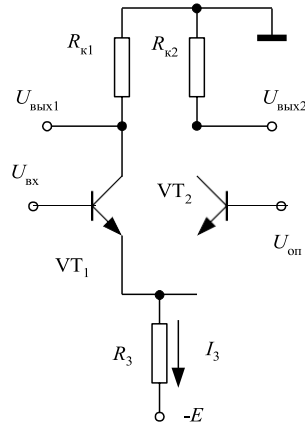


Рис. 5. Схема переключателя тока

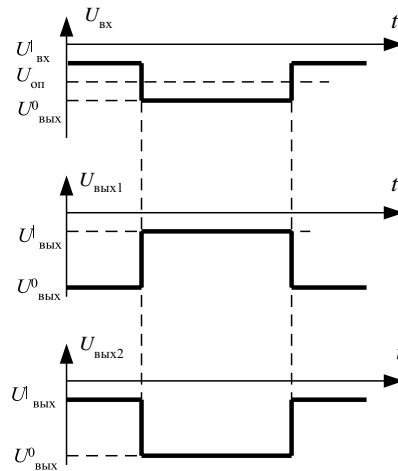


Рис. 6. Временные диаграммы переключателя тока

Когда на входе напряжение высокого уровня $U^1_{\text{вх}}$, то транзистор VT_1 открыт, а транзистор VT_2 закрыт за счет увеличения напряжения на эмиттерном резисторе R_3 . На выходе 1 будет низкий уровень $U^0_{\text{вых1}}$, а на выходе 2 – высокий уровень $U^1_{\text{вых2}}$. Когда на входе низкий уровень $U^0_{\text{вх}}$, то VT_1 закроется, а VT_2 откроется и на выходах будут напряжения $U^1_{\text{вых1}}$, $U^0_{\text{вых2}}$.

Из-за действия ООС, создаваемой R_3 , транзисторы VT_1 и VT_2 не входят в режим насыщения, что приводит к увеличению быстродействия ЛЭ ЭСЛ, но при этом сокращается и разница между $U^1_{\text{вых}}$ и $U^0_{\text{вых}}$.

Схема базового ЛЭ ЭСЛ на два входа приведена на рис. 7. Она содержит переключатель тока на трех эмиттерно-связанных транзисторах VT_1 , VT_2 , VT_3 . Опорное напряжение формируется делителем из R_2 , VD_1 , VD_2 , R_3 и подается на базу VT_3 через эмиттерный повторитель на транзисторе VT_4 . Постановка эмиттерного повторителя на VT_4 позволила использовать резисторы R_2 , R_3 меньшей мощности. Диоды VD_1 и VD_2 обеспечивают температурную стабилизацию опорного напряжения. Например, увеличение температуры ведет к увеличению тока коллектора VT_4 , а одновременно с этим увеличение тока диодов VD_1 и VD_2 ведет к уменьшению напряжения и тока базы VT_4 , а, следовательно, к уменьшению тока коллектора VT_4 . В результате изменение тока коллектора VT_4 значительно уменьшается, значит, опорное напряжение на R_1 будет более стабильным. Аналогично стабилизируется ток коллектора VT_4 , а следовательно, и напряжение на R_1 при уменьшении температуры.

На транзисторах VT_5 и VT_6 выполнены выходные каскады (эмиттерные повторители). Базовый ЛЭ ЭСЛ реализует одновременно две логические функции: с выхода VT_5 функцию ИЛИ-НЕ, с выхода VT_6 – функцию ИЛИ.

Работает схема следующим образом. Если хотя бы на одном входе будет высокий уровень напряжения $U^1_{\text{вх}}$, то соответствующий транзистор будет открыт, а транзистор VT_3 будет закрыт возросшим напряжением с R_3 . В результате напряжение на базе VT_5 будет низким, а на базе VT_6 – высоким. Следовательно, на выходе 1 будет напряжение низкого уровня $U^0_{\text{вых1}}$, а на выходе 2 – высокого уровня $U^1_{\text{вых2}}$.

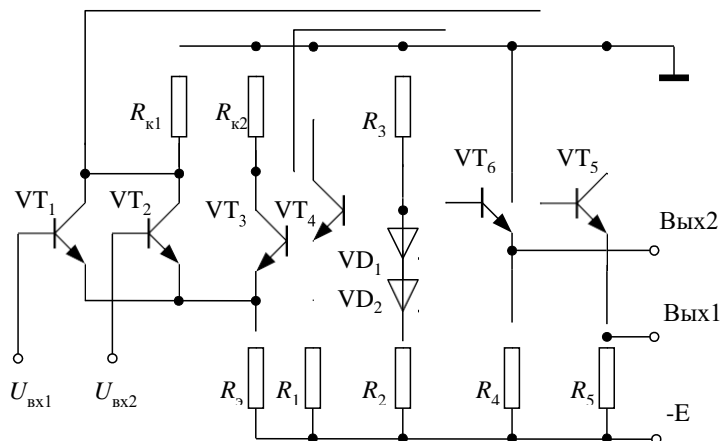


Рис. 7. Схема базового логического элемента ЭСЛ

При малых уровнях напряжений $U^0_{\text{вх}}$ на всех входах все входные транзисторы (VT_1, VT_2) будут закрыты, а транзистор VT_3 будет открыт. В результате напряжение на базе VT_5 будет высоким, а на базе VT_6 – низким. Соответственно на выходах ЛЭ будут напряжения $U^1_{\text{вых1}}$ и $U^0_{\text{вых2}}$.

Логические элементы ЭСЛ отличаются следующими основными свойствами:

- являются самыми быстродействующими, во-первых, за счет того что в них транзисторы не насыщаются; во-вторых, малые выходные сопротивления эмиттерных повторителей обеспечивают быстрый перезаряд емкостей нагрузки;
- имеют достаточно большую нагрузочную способность (коэффициент разветвления), т.к. у них большое входное сопротивление из-за наличия ООС за счет R_3 ;
- снижен уровень помех по цепям питания, так как при переключениях нет значительных скачков потребления тока, поскольку всегда сохраняется примерное равенство цепей через открытые и закрытые транзисторы, а в непереключаемых цепях ток не меняется;
- сравнительно большое потребление энергии, так как в обоих состояниях есть цепи открытых переключаемых транзисторов;
- ниже помехоустойчивость, так как разница между уровнями U^1 и U^0 мала.

5. ЗАДАНИЯ НА ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ

Экспериментальные исследования проводятся на лабораторном комплексе, содержащем источник постоянного напряжения до 15 В; двухканальный осциллограф с возможностью измерять временные интервалы до десятков наносекунд; генератор импульсных сигналов с частотой до 10^7 Гц и амплитудой до 5В; цифровой прибор для измерения токов в диапазоне от десятков до единиц мА; напряжений – от 5 В до десятков мВ; генератор синусоидального напряжения частотой 50 Гц с амплитудой до 5 В, лабораторный стенд.

В стенде смонтированы базовые ЛЭ ТТЛ (серия 155), ТТЛШ (серия 555), КМОП-логики (серия 176).

Поскольку целью работы является исследование статистических и динамических параметров логических элементов, а функциональное предназначение не исследуется, то у всех логических элементов входы организованы так, что ЛЭ представляется одноходовым инвертором. В связи с этим на лицевой панели пульта изображена схема инвертора с входным и выходным гнездами и размещен переключатель, позволяющий производить подключение исследуемого ЛЭ на место изображенной схемы инвертора и к источнику питания. Питание ЛЭ в пульте производится от стабилизатора напряжения, на вход которого подается +10 В, а с выхода получается +5 В. На пульте смонтированы также гнезда и клеммы для производства необходимых коммутаций и подключения измерительных приборов, источников питания и сигналов.

Внимание:

- 1) Коммутацию цепей производить при обесточенном пульте;
- 2) Источники сигнала и питания подключать только в обесточенном их состоянии;
- 3) Не допускать подачи на вход ЛЭ напряжений, превышающих допустимые значения (не более $U_{\text{п}}$).

ЗАДАНИЕ 1. Исследование статических параметров.

1.1 Подать на нуль напряжение +10 В, а на потенциометр правой половины пульта через ограничительное сопротивление 560 Ом подать синусоидальное напряжение 6,3 В 50 Гц.

1.2 Для снятия передаточной характеристики подключить двухканальный осциллограф в режиме характеристики. Для чего на вход ЛЭ и вход “Х” (канал I) осциллографа подать синусоидальное напряжение с потенциометра, а на вход “У” (канал II) осциллографа подать напряжение с выхода ЛЭ.

1.3 Подключить переключателем соответствующий БЛЭ, включить источник питания и переменного сигнала, нажать обе кнопки “Х-У” на осциллографе и регулировкой ручки потенциометра пульта получить на экране осциллографа изображение передаточной характеристики.

1.4 Измерить с помощью осциллографа $U^1 = U^1_{\text{вых}}$, $U^0 = U^0_{\text{вых}}$, $U^1_{\text{пор}}$, $U^0_{\text{пор}}$. Зарисовать осциллограмму на кальку.

1.5 Вычислить $U^0_{\text{п. ст}} = U^0_{\text{пор}} - U^0_{\text{вх. max}}$, $U^1_{\text{п. ст}} = U^1_{\text{вх. min}} - U^1_{\text{пор}}$,

где $U^1_{\text{вх. min}}$ и $U^0_{\text{вх. max}}$ берутся из справочника (следует иметь в виду, что поскольку ЛЭ соединяются друг с другом, то

$U^1_{\text{вх. min}} = U^1_{\text{вых. min}}$, $U^0_{\text{вх. max}} = U^0_{\text{вых. max}}$.

1.6 Выполнить исследования по пунктам 1.3-1.5 для всех ЛЭ. (Следует учесть, что питание для всех ЛЭ равно 5 В).

1.7 Дать сравнительную оценку ЛЭ по статическим параметрам и передаточным характеристикам.

ЗАДАНИЕ 2. Исследование нагрузочных свойств БЛЭ ТТЛ серии 155

2.1 Исследовать нагрузочную способность в режиме $U^0_{\text{вых}}$.

Именно этот режим определяет нагрузочную способность ЛЭ ТТЛ, так как в этом режиме на выходе ЛЭ будет “втекающий” ток $I^0_{\text{вых}}$, который много больше “вытекающего” тока $I^1_{\text{вых}}$, имеющего место в режиме $U^1_{\text{вых}}$.

Для исследования нагрузочных свойств ЛЭ необходимо на потенциометр подать напряжение с клеммы +5 В, которая в пульте соединена с выходом стабилизатора. С потенциометра подать сигнал на вход ЛЭ. Регулировкой ручки потенциометра установить ЛЭ в состояние $U_{\text{вых}}^0$, что наблюдать на экране осциллографа.

Измерить $U_{\text{вых}}^0$ и $I_{\text{вых}}^0$ при двух значениях сопротивления нагрузки 3,3 кОм (соответствует $I_{\text{вых}}^0 \leq I_{\text{вых. макс}}^0$) и 330 Ом (соответствует $I_{\text{вых}}^0 \geq K_{\text{раз}} I_{\text{вых. макс}}^0$), включаемого между $E_{\text{п}}$ и выходом ЛЭ для создания “втекающего” тока. По величине $U_{\text{вых}}^0$ убедиться удовлетворяет ли ЛЭ по нагрузочной способности. Отключить нагрузку.

2.2 Исследовать влияние нагрузки на работу ЛЭ в режиме $U_{\text{вых}}^1$. С этой целью регулировкой ручки потенциометра установить ЛЭ в состояние $U_{\text{вых}}^1$ и измерить $U_{\text{вых}}^1$ и $I_{\text{вых}}^1$ при значениях сопротивления нагрузки 15 кОм и 1,2 кОм. По величине $U_{\text{вых}}^1$ оценить влияние нагрузки на работу ЛЭ.

ЗАДАНИЕ 3. Исследование динамических параметров

Исследуемый ЛЭ задается преподавателем.

3.1 Установить на генераторе импульсных сигналов напряжение частотой $10^6 - 10^7$ Гц и амплитудой, соответствующей уровню $U_{\text{вых}}^1$.

3.2 Подать импульсное напряжение на вход ЛЭ и по временным диаграммам $U_{\text{вх}}$ и $U_{\text{вых}}$ ЛЭ на осциллографе произвести измерения временных параметров: $t_{1,0}^1, t_{0,1}^1, t_{\text{зд.р.}}^{1,0}, t_{\text{зд.р.}}^{0,1}, t_{\text{зд.р.}}^{1,0}, t_{\text{зд.р.}}^{0,1}$.

3.3 Произвести оценку динамических параметров различных типов ЛЭ.

6. ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Назвать основные статистические параметры ЛЭ, показать их связь с передаточной характеристикой.
2. Назвать основные динамические параметры ЛЭ, показать их связь с переходной характеристикой.
3. Назвать основные типы ЛЭ.
4. Назвать основные элементы схемы ЛЭ ТТЛ-типа и пояснить их назначение.
5. Объяснить принцип работы ЛЭ ТТЛ-типа.
6. Пояснить назначение и принцип действия антизвонных диодов.
7. Чем отличается ЛЭ с диодами Шоттки от ЛЭ ТТЛ-типа?
8. Перечислить достоинства и недостатки ЛЭ ТТЛ-типа.
9. Объяснить схему и принцип работы переключателя тока.
10. Объяснить схему и принцип работы ЛЭ ЭСЛ.
11. Перечислить достоинства и недостатки ЛЭ ЭСЛ.
12. Пояснить схему и принцип действия ЛЭ ИЛИ-НЕ на однотипных МДП-транзисторах.
13. Пояснить схему и принцип действия ЛЭ И-НЕ на однотипных МДП-транзисторах.
14. Пояснить принцип работы комплементарной пары МДП-транзисторов логических элементов.
15. Пояснить схему и принцип действия ЛЭ ИЛИ-НЕ на КМДП-транзисторах.
16. Пояснить схему и принцип действия ЛЭ И-НЕ на КМДП-транзисторах.
17. Основные достоинства и недостатки ЛЭ на КМДП-транзисторах.

7. ОФОРМЛЕНИЕ ОТЧЕТА

Отчет должен содержать схемы исследований, осциллограммы передаточных характеристик, результаты измерений и вычислений, анализ результатов исследований.

Лабораторная работа №3

Исследование базовых логических элементов на МОП-структурах

БАЗОВЫЕ ЭЛЕМЕНТЫ НА МДП-транзисторах

В настоящее время все больше цифровых интегральных схем как большой, так и малой интеграции делается на МДП-транзисторах, что обусловлено целым рядом их свойств, о которых будет сказано позже. Существуют две основные группы базовых ЛЭ (ЛЭ МОП-структуры) на МДП-транзисторах: на однотипных и на комплементарных транзисторах. В тех и других используются транзисторы с индуцированным каналом.

4.1 Базовые элементы на однотипных МДП-транзисторах

Основными базовыми ЛЭ на однотипных МДП – транзисторах являются ИЛИ-НЕ и И-НЕ в отрицательной логике, примеры этих схем на два входа приведены на рис. 8 и 9 соответственно. Транзисторы VT_1 являются нагрузочными (они выполняют роль стоковых резисторов), а транзисторы VT_2 и VT_3 являются управляющими.

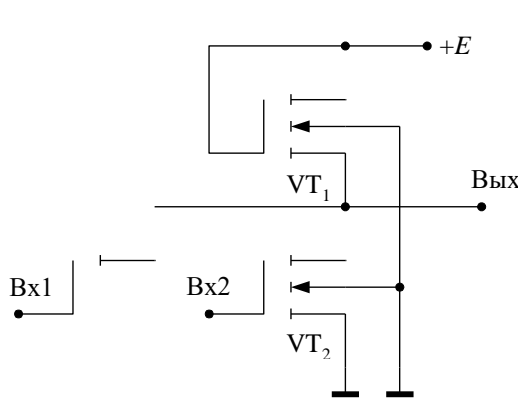


Рис. 8. Схема ИЛИ-НЕ на МОП-транзисторах

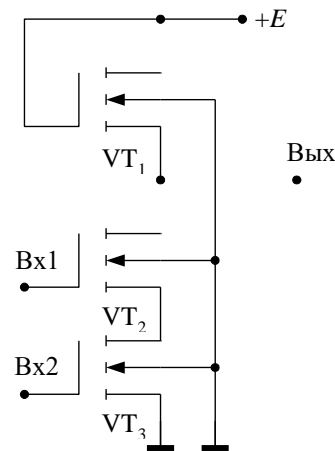


Рис. 9. Схема И-НЕ на МОП-транзисторах

Схема ИЛИ-НЕ (рис. 8) работает следующим образом. Если хотя бы на одном входе будет напряжение низкого уровня $U^1_{вх}$ (большое отрицательное напряжение), то соответствующий управляющий транзистор будет открыт. При этом открыт и нагрузочный транзистор VT_1 . Но транзисторы изготавливаются так, что сопротивление $R_{кн}$ более длинного канала сток – исток нагрузочного транзистора много больше, чем сопротивление $R_{ку}$ канала сток – исток управляющих транзисторов. Следовательно, на выходе будет малое отрицательное напряжение $U^0_{вых} = -E R_{ку} / (R_{ку} + R_{кн})$.

Когда на все входы поданы напряжения высокого уровня $U^0_{вх}$ то все управляющие транзисторы будут закрыты и на выходе будет напряжение низкого уровня $U^1_{вых}$ (большое отрицательное напряжение).

Работу схемы И-НЕ (рис. 9) рекомендуется рассмотреть самостоятельно по аналогии с работой схемы ИЛИ-НЕ (см. рис. 8).

Одним из существенных недостатков схем на однотипных транзисторах является то, что в состоянии “0” они потребляют значительный ток, так как имеется цепь из открытых транзисторов.

4.2 Базовые ЛЭ на КМДН – транзисторах

Основными здесь также являются два базовых ЛЭ: ИЛИ-НЕ и И-НЕ, используемые обычно в положительной логике. На рис. 10 приведена схема ЛЭ ИЛИ-НЕ, а на рис. 11 – схема И-НЕ, каждая из которых – на два входа. В этих схемах каждый входной сигнал подается одновременно на два комплементарных (разнотипных) транзистора. Тем самым достигается, что при подаче входного сигнала любого логического уровня один из пары транзисторов будет открыт, а второй закрыт. Прежде чем рассматривать работу логических элементов, рассмотрим работу одной пары комплементарных транзисторов, соединенных по схеме рис. 12.

При подаче малого положительного входного сигнала $U^0_{вх}$ транзистор VT_2 будет закрыт этим малым напряжением, на выходе будет напряжение большого уровня $U^1_{вых}$, транзистор VT_1 при этом окажется открытым за счет достаточно большого отрицательного напряжения затвор-исток этого транзистора: $U_{зш1} = U^0_{вх} - U^1_{вых} < 0$.

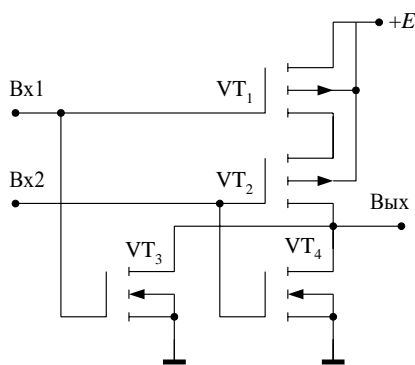


Рис. 10. Схема базового ЛЭ ИЛИ-НЕ на КМОП-транзисторах

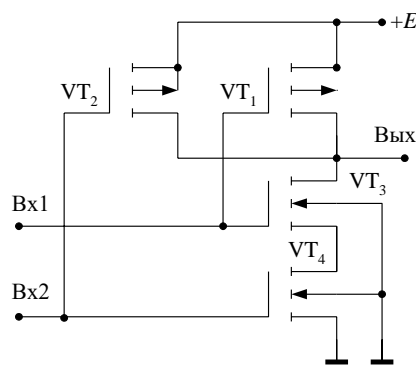


Рис. 11. Схема базового ЛЭ И-НЕ на КМОП-транзисторах

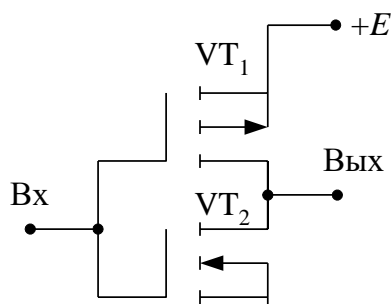


Рис. 12. Ключ на КМОП-транзисторах

При подаче большого положительного входного сигнала $U^1_{\text{вх}}$ транзистор VT_2 будет открыт, на выходе будет напряжение малого уровня $U^0_{\text{вых}}$, транзистор VT_1 окажется закрытым положительным напряжением затвор-исток: $U_{\text{зи1}} = U^1_{\text{вх}} - U^0_{\text{вых}} > 0$.

Таким образом, при подаче входного сигнала малого или большого уровня из пары комплементарных транзисторов всегда один открыт, а второй закрыт. Это и используем при рассмотрении работы ЛЭ.

Рассмотрим работу схемы ИЛИ-НЕ (см. рис. 10).

Пусть на V_{x1} напряжение высокого уровня $U^1_{\text{вх}}$, тогда транзистор VT_1 будет закрыт, а транзистор VT_3 – открыт, и на выходе будет напряжение низкого уровня $U^0_{\text{вых}}$. Аналогично можно показать (сделать это самостоятельно), что если хотя бы на один вход будет подано напряжение высокого уровня, то на выходе будет напряжение низкого уровня $U^0_{\text{вых}}$. Если же на обоих входах напряжение низкого уровня $U^0_{\text{вх}}$, то транзисторы VT_1 и VT_2 будут открыты, VT_3 и VT_4 – закрыты и на выходе будет напряжение высокого уровня $U^1_{\text{вых}}$.

Работу схемы И-НЕ (см. рис. 11) предлагается рассмотреть самостоятельно по аналогии с работой схемы ИЛИ-НЕ (см. рис. 10).

Основными свойствами ЛЭ на КМДП-транзисторах являются:

- малая потребляемая мощность, так как во всех состояниях цепь тока проходит через закрытый транзистор;
- большой коэффициент разветвления по выходу (до 100), так как у этих ЛЭ очень большое входное сопротивление;
- возможность получить более высокую степень интеграции, так как МДП-транзисторы занимают малую площадь в кристалле полупроводника;
- относительно низкое быстродействие, что обусловлено, во-первых, длительностью перезарядки достаточно больших входных емкостей транзисторов, во-вторых, увеличением времени перезарядки емкостей нагрузки из-за сравнительно большого выходного сопротивления ЛЭ.

ЗАДАНИЯ НА ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ

Экспериментальные исследования проводятся на лабораторном комплексе, содержащем источник постоянного напряжения до 15 В; двухканальный осциллограф с возможностью измерять временные интервалы до десятков наносекунд; генератор импульсных сигналов с частотой до 10^7 Гц и амплитудой до

5В; цифровой прибор для измерения токов в диапазоне от десятков до единиц мА; напряжений – от 5 В до десятков мВ; генератор синусоидального напряжения частотой 50 Гц с амплитудой до 5 В, лабораторный стенд.

В стенде смонтированы базовые ЛЭ ТТЛ (серия 155), ТТЛШ (серия 555), КМОП-логики (серия 176).

Поскольку целью работы является исследование статистических и динамических параметров логических элементов, а функциональное предназначение не исследуется, то у всех логических элементов входы организованы так, что ЛЭ представляется одноходовым инвертором. В связи с этим на лицевой панели пульта изображена схема инвертора с входным и выходным гнездами и размещен переключатель, позволяющий производить подключение исследуемого ЛЭ на место изображенной схемы инвертора и к источнику питания. Питание ЛЭ в пульте производится от стабилизатора напряжения, на вход которого подается +10 В, а с выхода получается +5 В. На пульте смонтированы также гнезда и клеммы для производства необходимых коммутаций и подключения измерительных приборов, источников питания и сигналов.

Внимание:

- 1) Коммутацию цепей производить при обесточенном пульте;
- 2) Источники сигнала и питания подключать только в обесточенном их состоянии;
- 3) Не допускать подачи на вход ЛЭ напряжений, превышающих допустимые значения (не более $U_{п}$).

ЗАДАНИЕ 1. Исследование статических параметров.

1.1 Подать на нуль напряжение +10 В, а на потенциометр правой половины пульта через ограничительное сопротивление 560 Ом подать синусоидальное напряжение 6,3 В 50 Гц.

1.2 Для снятия передаточной характеристики подключить двухканальный осциллограф в режиме характеристики. Для чего на вход ЛЭ и вход “Х” (канал I) осциллографа подать синусоидальное напряжение с потенциометра, а на вход “Y” (канал II) осциллографа подать напряжение с выхода ЛЭ.

1.3 Подключить переключателем соответствующий БЛЭ, включить источник питания и переменного сигнала, нажать обе кнопки “X-Y” на осциллографе и регулировкой ручки потенциометра пульта получить на экране осциллографа изображение передаточной характеристики.

1.4 Измерить с помощью осциллографа $U^1 = U^1_{\text{вх}}$, $U^0 = U^0_{\text{вх}}$, $U^1_{\text{пор}}$, $U^0_{\text{пор}}$. Зарисовать осциллограмму на кальку.

1.5 Вычислить $U^0_{\text{п. ст}} = U^0_{\text{пор}} - U^0_{\text{вх. max}}$, $U^1_{\text{п. ст}} = U^1_{\text{вх. min}} - U^1_{\text{пор}}$,

где $U^1_{\text{вх. min}}$ и $U^0_{\text{вх. max}}$ берутся из справочника (следует иметь в виду, что поскольку ЛЭ соединяются друг с другом, то

$U^1_{\text{вх. min}} = U^1_{\text{вх. min}}$, $U^0_{\text{вх. max}} = U^0_{\text{вх. max}}$.

1.6 Выполнить исследования по пунктам 1.3-1.5 для всех ЛЭ. (Следует учесть, что питание для всех ЛЭ равно 5 В).

1.7 Дать сравнительную оценку ЛЭ по статическим параметрам и передаточным характеристикам.

ЗАДАНИЕ 2. Исследование нагрузочных свойств БЛЭ ТТЛ серии 155

2.1 Исследовать нагрузочную способность в режиме $U^0_{\text{вх}}$.

Именно этот режим определяет нагрузочную способность ЛЭ ТТЛ, так как в этом режиме на выходе ЛЭ будет “втекающий” ток $I^0_{\text{вх}}$, который много больше “вытекающего” тока $I^1_{\text{вх}}$, имеющего место в режиме $U^1_{\text{вх}}$.

Для исследования нагрузочных свойств ЛЭ необходимо на потенциометр подать напряжение с клеммы +5 В, которая в пульте соединена с выходом стабилизатора. С потенциометра подать сигнал на вход ЛЭ. Регулировкой ручки потенциометра установить ЛЭ в состояние $U^0_{\text{вх}}$, что наблюдать на экране осциллографа.

Измерить $U^0_{\text{вх}}$ и $I^0_{\text{вх}}$ при двух значениях сопротивления нагрузки 3,3 кОм (соответствует $I^0_{\text{вх}} \leq I^0_{\text{вх. макс}}$) и 330 Ом (соответствует $I^0_{\text{вх}} \geq K I^0_{\text{вх. макс}}$), включаемого между $E_{п}$ и выходом ЛЭ для создания “втекающего” тока. По величине $U^0_{\text{вх}}$ убедиться удовлетворяет ли ЛЭ по нагрузочной способности. Отключить нагрузку.

2.2 Исследовать влияние нагрузки на работу ЛЭ в режиме $U^1_{\text{вх}}$. С этой целью регулировкой ручки потенциометра установить ЛЭ в состояние $U^1_{\text{вх}}$ и измерить $U^1_{\text{вх}}$ и $I^1_{\text{вх}}$ при значениях сопротивления нагрузки 15 кОм и 1,2 кОм. По величине $U^1_{\text{вх}}$ оценить влияние нагрузки на работу ЛЭ.

ЗАДАНИЕ 3. Исследование динамических параметров

Исследуемый ЛЭ задается преподавателем.

3.1 Установить на генераторе импульсных сигналов напряжение частотой $10^6 - 10^7$ Гц и амплитудой, соответствующей уровню $U^1_{\text{вх}}$.

3.2 Подать импульсное напряжение на вход ЛЭ и по временным диаграммам $U_{\text{вх}}$ и $U_{\text{вых}}$ ЛЭ на осциллографе произвести измерения временных параметров: $t^{1,0}$, $t^{0,1}$, $t^{1,0}_{\text{зд. п}}$, $t^{0,1}_{\text{зд. п}}$, $t^{1,0}_{\text{зд}}$, $t^{0,1}_{\text{зд}}$.

3.3 Произвести оценку динамических параметров различных типов ЛЭ.

ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Назвать основные статистические параметры ЛЭ, показать их связь с передаточной характеристикой.
2. Назвать основные динамические параметры ЛЭ, показать их связь с переходной характеристикой.

3. Назвать основные типы ЛЭ.
4. Назвать основные элементы схемы ЛЭ ТТЛ-типа и пояснить их назначение.
5. Объяснить принцип работы ЛЭ ТТЛ-типа.
6. Пояснить назначение и принцип действия антивзвонных диодов.
7. Чем отличается ЛЭ с диодами Шотки от ЛЭ ТТЛ-типа?
8. Перечислить достоинства и недостатки ЛЭ ТТЛ-типа.
9. Объяснить схему и принцип работы переключателя тока.
10. Объяснить схему и принцип работы ЛЭ ЭСЛ.
11. Перечислить достоинства и недостатки ЛЭ ЭСЛ.
12. Пояснить схему и принцип действия ЛЭ ИЛИ-НЕ на одноступенчатых МДП-транзисторах.
13. Пояснить схему и принцип действия ЛЭ И-НЕ на одноступенчатых МДП-транзисторах.
14. Пояснить принцип работы комплементарной пары МДП-транзисторов логических элементов.
15. Пояснить схему и принцип действия ЛЭ ИЛИ-НЕ на КМДП-транзисторах.
16. Пояснить схему и принцип действия ЛЭ И-НЕ на КМДП-транзисторах.
17. Основные достоинства и недостатки ЛЭ на КМДП-транзисторах.

ОФОРМЛЕНИЕ ОТЧЕТА

Отчет должен содержать схемы исследований, осциллограммы передаточных характеристик, результаты измерений и вычислений, анализ результатов исследований.

Лабораторная работа №4

Синтез триггеров и счетчиков

1. СИНТЕЗ И ИССЛЕДОВАНИЕ ТРИГГЕРОВ

Цель работы: изучение функционирования и схемных разновидностей триггеров, приобретение навыков в синтезе триггеров и определении их характеристик.

Краткие теоретические положения

Триггеры представляют собой устройство с двумя устойчивыми состояниями, описываемое переходной функцией $Q_{k+1} = F(Q_k, x_1, \dots, x_n, c_1, \dots, c_m)$ и содержащее запоминающий элемент (ЗЭ) $Q_{k+1} = F_{ЗЭ}(Q_k, f_1, f_2)$ и схему управления (СУ) $f_i = F_{СУ}(x_1, \dots, x_n, c_1, \dots, c_m)$, показанные на рис. 1.

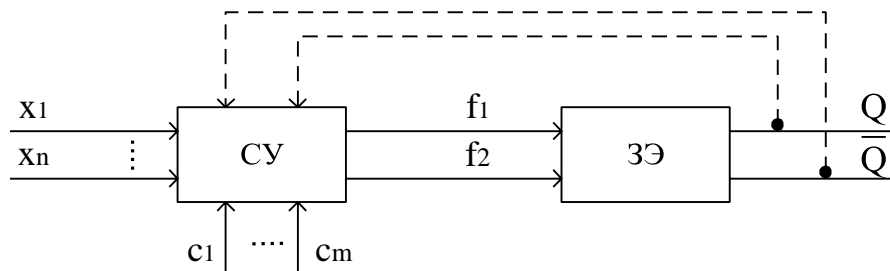


Рис. 1. Структурная схема триггера ($X_1 \dots X_n$ – информационные входы; $C_1 \dots C_m$ – необязательные тактирующие входы; f_1, f_2 – функции возбуждения ЗЭ)

В зависимости от наличия тактирующих входов различают *синхронные* (имеющие тактирующие входы) и *асинхронные* (не имеющие тактирующих входов) триггеры. Наиболее широкое распространение среди синхронных получили одноктактные триггеры, имеющие только один тактирующий вход.

Функциональная классификация триггеров определяется переходной функцией. Так, RS – триггер описывается функцией

$$Q_{k+1} = Q_k \bar{R}_k \bar{S}_k \vee S_k, \text{ где } R_k * S_k = 0; \quad (1)$$

D – описывается функцией

$$Q_{k+1} = Q_k \bar{C}_k \vee C_k D_k; \quad (2)$$

T – триггер описывается функцией

$$Q_{k+1} = Q_k \bar{T}_k \vee \bar{Q}_k T_k; \quad (3)$$

JK – триггер описывается функцией

$$Q_{k+1} = Q_k \bar{J}_k \bar{K}_k \vee J_k \bar{K}_k \vee \bar{Q}_k J_k K_k. \quad (4)$$

По виду перепада тактирующего сигнала различают синхронные триггеры с положительным перепадом тактирующего сигнала, если триггер изменяет свое состояние при перепаде тактирующего сигнала из “0” в “1”, и с отрицательным перепадом, если триггер изменяет свое состояние при перепаде тактирующего сигнала из “1” в “0”.

По способу записи информации различают следующие типы синхронных триггеров:

- 1) триггеры, тактируемые уровнем (со статическим управлением записью);
- 2) двухступенчатые триггеры (MS - типа);
- 3) триггеры, тактируемые фронтом (с динамическим управлением записью).

Последние два типа триггеров обладают внутренней задержкой и поэтому их иногда называют триггерами с внутренней задержкой.

Особенность синхронных триггеров со *статическим* управлением записью состоит в том, что при $C=1$ они могут переключаться столько раз, сколько раз изменяются информационные сигналы.

Особенность *двухступенчатых* триггеров состоит в том, что триггер содержит два запоминающих элемента: Основной M и вспомогательный S . Передача информации из ЗЭ M в ЗЭ S производится через вентили B . Запись в ЗЭ M тактируется сигналом C , а в ЗЭ S (рис. 2) сигналом F . Наибольшее распространение получили MS-триггеры с инвертором в цепи тактирующего сигнала C и MS-триггеры с запрещающими связями (рис. 3).

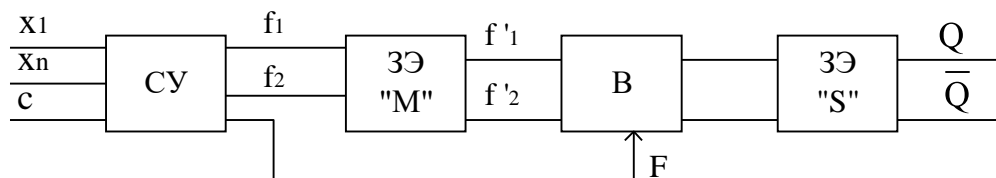


Рис. 2. Структура двухступенчатая триггера

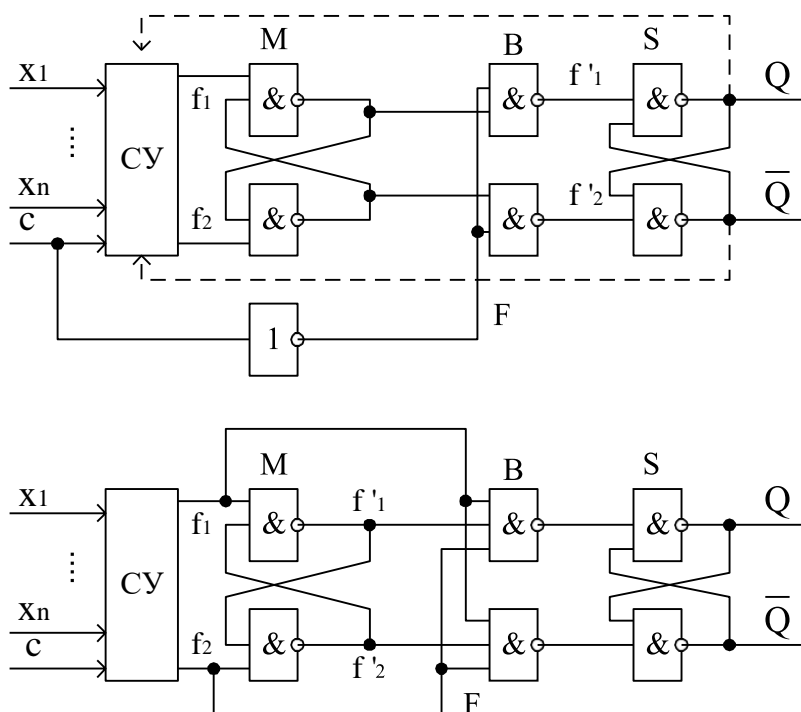


Рис. 3. Структура MS – триггера: а – с инвертором; б – с запрещенными связями

Особенность триггеров с *динамическим* управлением состоит в том, что запись информации в ЗЭ производится по перепаду тактирующего сигнала (положительному или отрицательному в зависимости от типа триггера), а состояние ЗЭ не может быть изменено при $C=1$ или $C=0$ до появления нового перепада сигнала C . Структура такого триггера состоит из трех элементарных триггеров, один из которых представляет собой ЗЭ, а два других – блокирующие триггеры, запоминающие значения сигналов возбуждения f_1 и f_2 (рис. 4).

Временные диаграммы работы триггеров трех видов типа показаны на рис. 5 (при $tзд(ЗЭ) \approx T_c$).

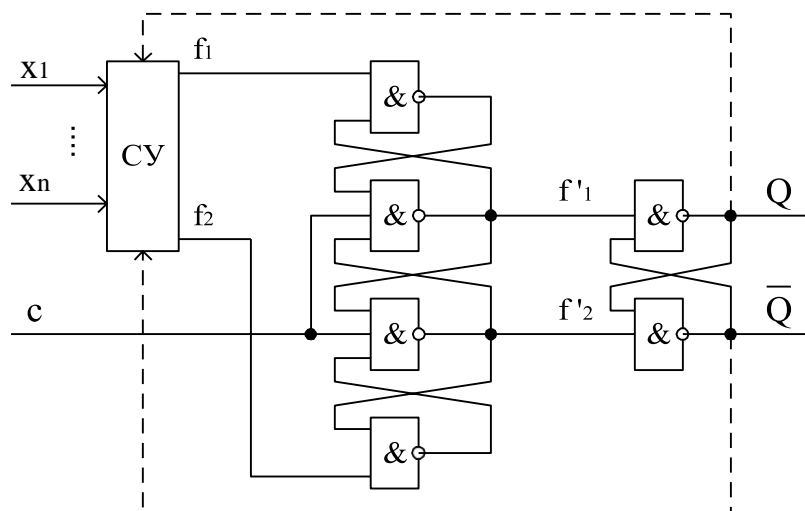


Рис. 4. Структура триггера с динамическим управлением записью

Синтез схемы триггера заключается:

- 1) в выборе его структуры;
- 2) в синтезе СУ.

Синтез СУ для любого типа триггера производится по полной таблице переходов триггера, в которой отражают значения Q для каждого вектора входных сигналов. Затем получают выражения для f_1 и f_2 и реализуют эти функции в заданном элементном базисе.

Так, для JK-триггера со структурой MS-типа с инвертором (см.рис. 3,а) полная таблица переходов строится в соответствии с переходной функцией (4) для 4 входов (C_K , J_K , K_K , Q_K) определяющих состояние выхода Q_{K+1} . Анализируя полученные переходы $QK \Rightarrow QK+1$, следует заполнить столбцы таблицы для f_1 и f_2 . Минимальная дизъюнктивная нормальная форма (МДНФ) полученных функций - имеет вид

$$f_1 = \overline{C_K} \vee \overline{Q_K} \vee \overline{J_K};$$

$$f_2 = C_K \vee Q_K \vee K_K,$$

а в базисе, например, элементов И-НЕ - вид

$$f_1 = \overline{C_K \overline{Q_K} J_K};$$

$$f_2 = \overline{C_K Q_K K_K}.$$

Быстродействие триггера оценивается следующими параметрами :

- временем задержки переключения $t_{зд}$ п;
- минимальной длительностью входного импульса t_i (информационного или тактового);
- разрешающим временем триггера t_p ;
- максимальной частотой переключения f_{max} ;
- предельной рабочей частотой $f_{пр}$.

Все перечисленные параметры составляют группу динамических параметров триггера. Они могут быть непосредственно измерены.

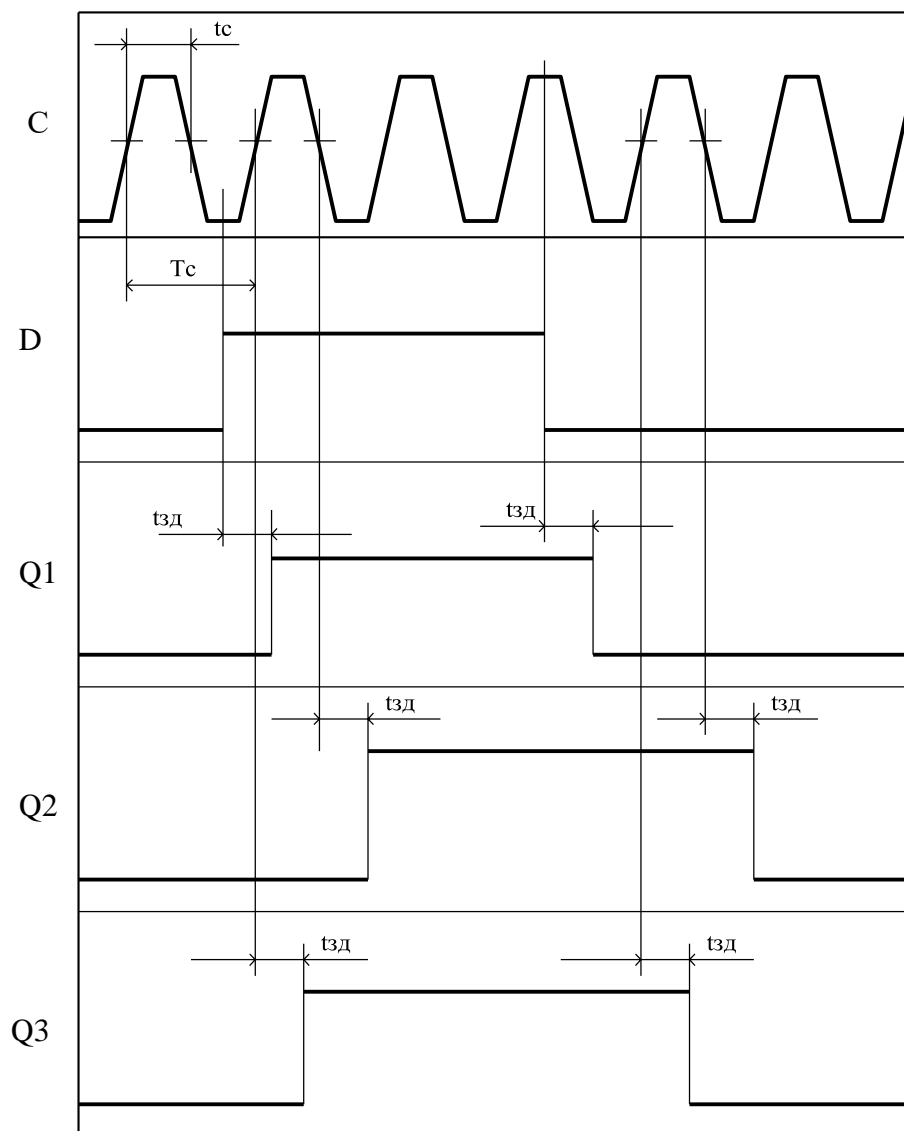


Рис. 5. Временные диаграммы работы синхронных триггеров: Q1 – со статическим управлением записью; Q2 – двухступенчатые; Q3 – с динамическим управлением записью

При этом $t_{зд}$ определяется как интервал времени между фронтом управляющего сигнала (информационного или тактового) и фронтом выходного сигнала на прямом или инверсном выходе триггера. Минимальная длительность t_i определяется как длительность входного импульса, при которой еще не нарушается нормальное переключение триггера. Разрешающее время определяется как минимальный временной интервал между двумя переключающими сигналами минимальной длительности, при котором сохраняется нормальная работа ненагруженного триггера. Частота f_{max} определяется по выражению $f_{max} = 1/t_p$.

Предельная частота f_{np} определяется как наибольшая частота переключения ненагруженного триггера и для заданной нагрузки может быть найдена как $f_{np} = 1/t_{np}$, где t_{np} – минимальный временной интервал между двумя переключающимися сигналами, при котором сохраняется нормальная работа нагруженного триггера.

В результате схема триггера имеет вид, показанный на рис. 6.

Пунктиром на рис. 6 показана организация асинхронных входов предварительной установки триггера в "0" (вход R) и в "1" (вход S).

Для каждого типа триггера с внутренней задержкой может быть организован счетный режим, обеспечивающий переключение триггера на каждый тактирующий импульс.

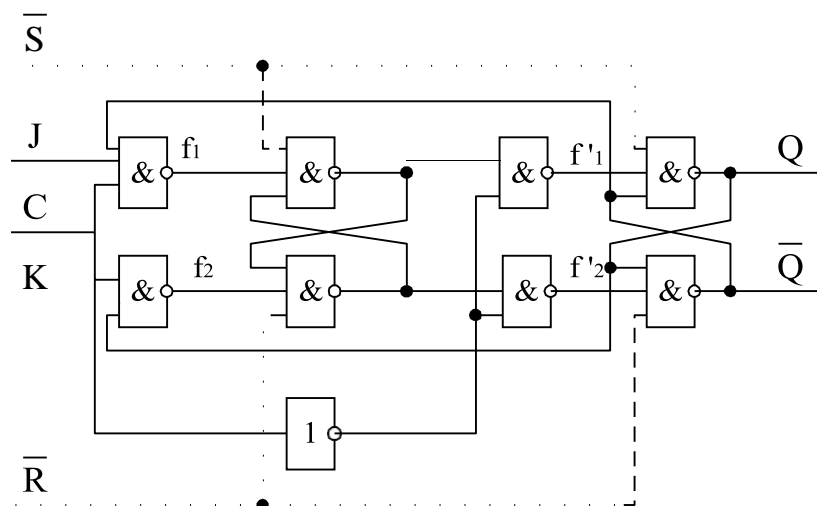


Рис. 6. Схема JK – триггера MS – типа с инвертором на элементах И-НЕ

Задание на работу

- 1) Синтезировать схему триггера со статическим управлением записью в соответствии с заданием (см. табл. 1).
- 2) Синтезировать схему триггера MS-типа с запрещающими связями в соответствии с заданием (см. табл. 1).
- 3) Синтезировать схему триггера с динамическим управлением записью в соответствии с заданием (см. табл. 1).
- 4) Для каждой схемы измерениями на макете определить минимальную длительность тактирующего сигнала $t_{и}$, время переключения триггера $t_{зд}$, разрешающее время t_p триггера.
- 5) Для каждой схемы триггера построить временную диаграмму его работы, определить по ней временные параметры ($t_{и}$, $t_{зд}$, t_p) и сравнить их с измеренными значениями.
- 6) Определить временные параметры микросхем триггера в соответствии с заданием.

Таблица 1. Варианты заданий

Номер варианта	1	2	3	4	5	6
Тип триггера	RS	D	T	табл. 3	табл. 2	JK

Таблица 2

Таблица 3

3

Информационный вход X_0	Информационный вход X_0	Выход (Q_{k+1})	Информационный вход X_0	Информационный вход X_0	Выход (Q_{k+1})
0	0	Q_k	0	0	1
0	1	0	0	1	$\overline{Q_k}$
1	0	$\overline{Q_k}$	1	0	0
1	1	1	1	1	Q_k

Порядок выполнения работы

Работа выполняется на установках УМ-11, УМ-16. В качестве измерительной аппаратуры используется осциллограф (типа СИ-69 или СИ-75). Для набора схем триггеров используются коммутационные шнуры. Для этой работы, кроме логических элементов установки УМ-11, потребуются генератор синхроимпульсов (ГСИ), генератор одиночных импульсов (ГОИ), тумблерный регистр и ламповые индикаторы.

Генератор одиночных импульсов - синхронизируемый, вырабатывает импульс при нажатии кнопки "Пуск" и наличии синхроимпульсов на гнезде "Вход". Выходы ГСИ и ГОИ - парафазные, выполнены на ИС К155ЛАБ.

Необходимо всегда помнить, что нельзя соединять выходы микросхем с гнездами "+" и "-".

– До занятия подготовиться к работе, изучив теоретические положения и синтезировав схемы заданных триггеров.

– Собрать и отладить схемы на макете УМ-11, убедиться в правильности их функционирования.

– Проверить работу триггеров в статическом режиме, подавая при этом тактирующие сигналы с выхода ГОИ, а входные информационные сигналы с тумблерного регистра. Состояние триггеров определить с помощью элементов индикации.

– Измерить времена переключения триггеров в динамическом режиме, подавая при этом тактирующие сигналы с выходов ГСИ 1 МГц, а входные информационные сигналы с выходов ГСИ 500 КГц или организовав счетный режим триггера.

– Измерить остальные временные параметры триггеров, используя ГПИ-1, ГПИ-2 с макета УМ-16.

– Измерить временные параметры заданной микросхемы на макете УМ-16. Снять зависимость t_p от емкости нагрузки C_n , подключаемой к выходу триггера.

Разрешающее время триггера можно измерить с помощью схемы, приведенной на рис. 7.

Величина t_p определяется изменением задержки t_3 импульсов ГПИ-1 относительно импульсов ГПИ-2.

При $t_3 = t_p$ триггер перестает различать два импульса и переключается как один, перейдя в счетный режим.

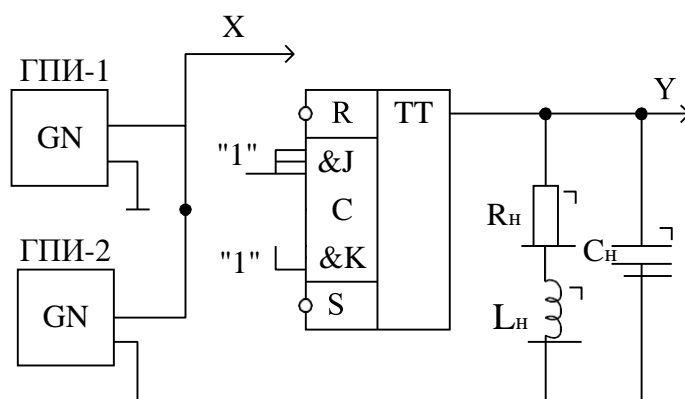


Рис. 7. Схема измерения t_p триггера и определения зависимости t_{np} от нагрузки

2. СИНТЕЗ И ИССЛЕДОВАНИЕ СЧЕТЧИКОВ

Синхронный счётчик на D-триггерах и $K=10$.

1) На основе синтеза, приведенный в пункте 2. «Синхронный счётчик на JK-триггерах и $K=10$ », спроектируем заданный счётчик на D-триггерах. Число триггеров остаётся тем же. Запишем таблицу переходов D-триггера (табл. 4)

Таблица 4

Q_t Q_{t+1}	D
0 0	0
0 1	1
1 0	0
1 1	1

2) Согласно таблице 5 составим карты Карно и минимизируем функции D1-D4

Таблица 6

Счетчик на D-триггерах

D1				
Q2Q1	00	01	11	10
Q4Q3				
00	1	0	0	1
01	1	0	0	1
11	1	0	*	*
10	*	*	*	*

D2				
Q2Q1	00	01	11	10
Q4Q3				
00	0	1	0	1
01	0	1	0	1
11	0	0	*	*
10	*	*	*	*

D3				
Q2Q1	00	01	11	10
Q4Q3				
00	0	0	1	0
01	1	1	1	1
11	1	0	*	*
10	*	*	*	*

D4				
Q2Q1	00	01	11	10
Q4Q3				
00	0	0	0	0
01	0	0	1	0
11	1	0	*	*
10	*	*	*	*

$$D_1 = \overline{Q_1}$$

$$D_2 = \overline{Q_4} \overline{Q_2} \overline{Q_1} \vee \overline{Q_2} \overline{Q_1}$$

$$D_3 = \overline{Q_4} \overline{Q_3} \vee \overline{Q_2} \overline{Q_1} \vee \overline{Q_3} \overline{Q_1}$$

$$D_4 = \overline{Q_3} \overline{Q_2} \overline{Q_1} \vee \overline{Q_4} \overline{Q_1}$$

3) На основе полученных формул составим схему счётчика

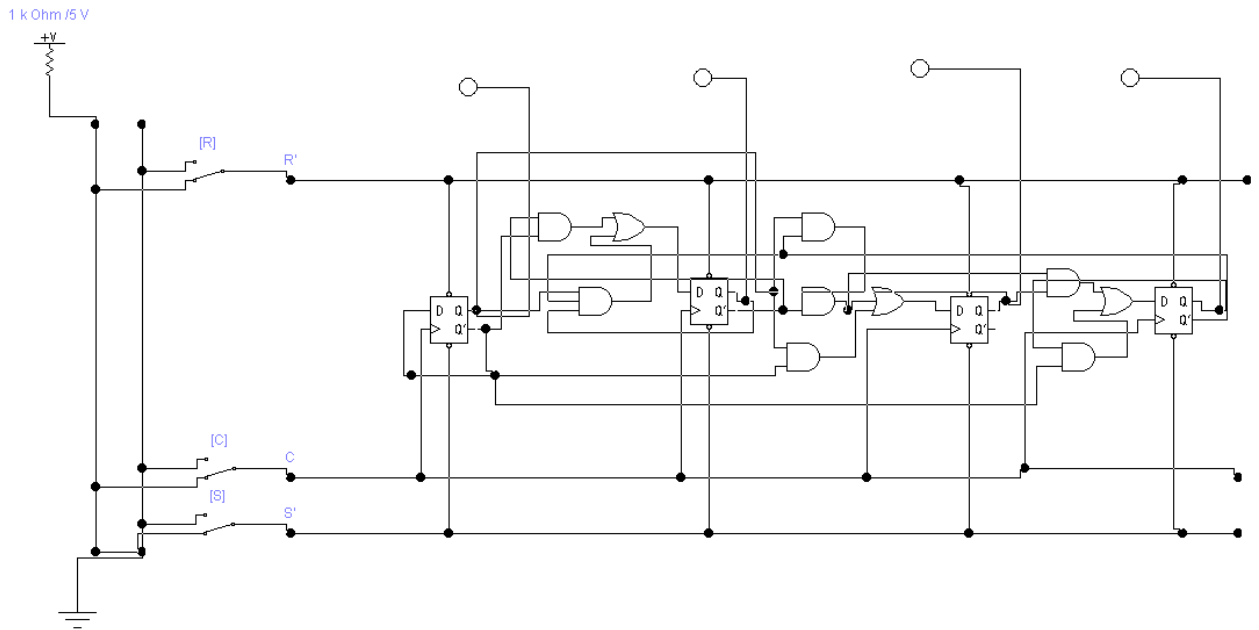


Рис. 8. «Счётчик на D-триггерах»

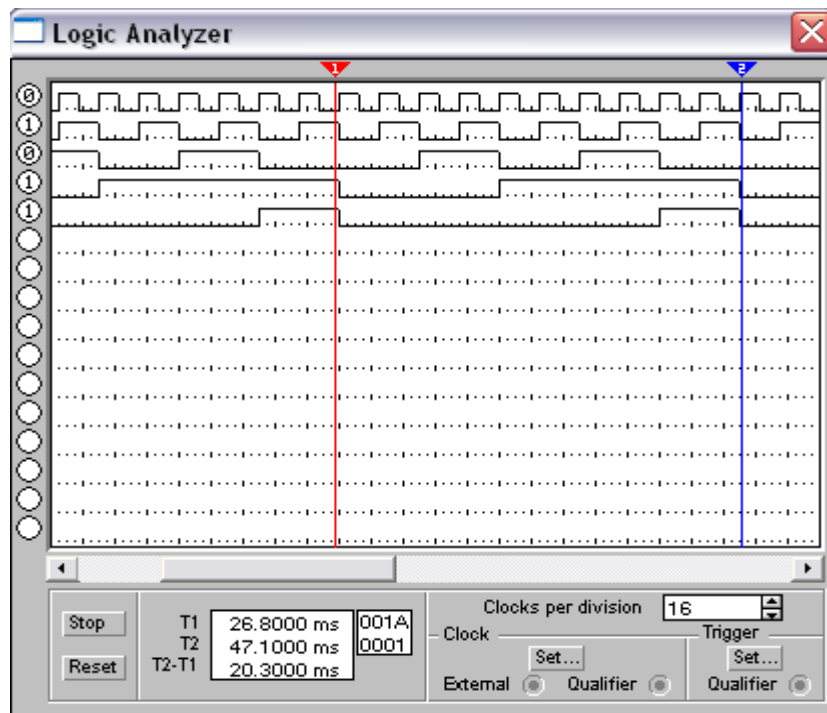


Рис. 9. «Временная диаграмма счётчика на D-триггерах»

Контрольные вопросы

1. Составьте таблицы переходов RS-, D-, T-, DE- и JK-триггеров.
2. В чем различие между синхронными и асинхронными триггерами?
3. В каких случаях необходимо использовать триггеры с внутренней задержкой?
4. Нарисуйте временные диаграммы работы для трех типов триггеров: со статическим управлением записью; с динамическим; MS-типа.
5. Объясните работу двухступенчатых триггеров.
6. Объясните работу триггеров с динамическим управлением записью.

7. В чем недостатки триггеров со статическим управлением записью?
8. Назовите основные временные параметры триггеров.
9. Как построить T -триггер на основе RS- , D - , JK -триггеров?
10. Какие изменения необходимо осуществить в триггере MS-типа, чтобы изменить фронт тактирующего сигнала, по которому осуществляется переключение триггера?